

# ELECTRO-OPTIC DEVICE AND MANUFACTURE THEREOF

**Patent number:** JP2000353811  
**Publication date:** 2000-12-19  
**Inventor:** IKEDA TAKAYUKI; YAMAZAKI SHUNPEI  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
- International: G02F1/136; G02F1/1368; G09F9/00; G09F9/30;  
H01L21/336; H01L29/786; G02F1/13; G09F9/00;  
G09F9/30; H01L21/02; H01L29/66; (IPC1-7):  
H01L29/786; G02F1/1368; G09F9/00; G09F9/30;  
H01L21/336

#### - european:

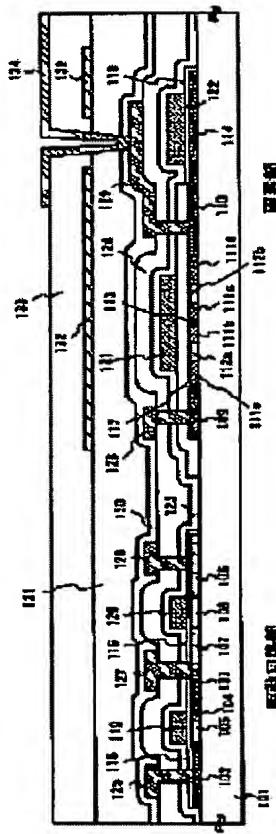
Application number: JI20000100257 20000403

**Priority number(s):** ·IP20000100257 20000403· ·IP19990099683 19990407·

**Report a data error here**

## Abstract of JP2000353811

**PROBLEM TO BE SOLVED:** To obtain a semiconductor device of high reliability by a method, wherein TFTs of a proper structure are arranged corresponding to the function of a circuit. **SOLUTION:** A semiconductor device is equipped with a drive circuit section and a pixel section on the same insulator, where gate insulating films 115 and 116 of drive TFTs are set thinner than the gate insulating film 117 of the pixel TFT. In the pixel TFT, channel-forming regions 112a and 112b are formed below a gate electrode 121, and an isolating region 113 is formed between the channel-forming regions 112a and 112b. At this point, the gate electrode 121 partially superposes LDD regions 111a and 111b, and regions which it does not superpose on these regions.



Data supplied from the [esp@cenet](http://esp@cenet) database - Worldwide

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-353811

(P 2000-353811 A)

(43)公開日 平成12年12月19日 (2000.12.19)

(51) Int.CI.	識別記号	F I	テーマコード	(参考)
H01L 29/786		H01L 29/78	617	S
21/336		G09F 9/00	348	C
G02F 1/1368		9/30	338	
G09F 9/00	348	G02F 1/136	500	
9/30	338	H01L 29/78	612	B

審査請求 未請求 請求項の数 9 O L (全24頁) 最終頁に続く

(21)出願番号 特願2000-100257(P 2000-100257)

(22)出願日 平成12年4月3日(2000.4.3)

(31)優先権主張番号 特願平11-99683

(32)優先日 平成11年4月7日(1999.4.7)

(33)優先権主張国 日本 (JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 池田 隆之

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

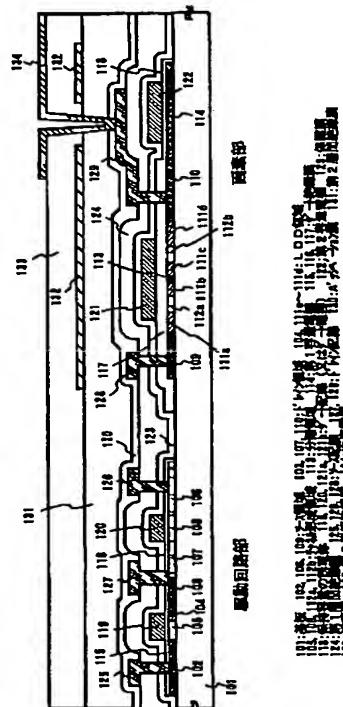
導体エネルギー研究所内

(54)【発明の名称】電気光学装置およびその作製方法

(57)【要約】

【課題】回路機能に応じて適切な構造のTFTを配置し、高い信頼性を有する半導体装置を提供する。

【解決手段】同一の絶縁体上に駆動回路部と画素部とを有する半導体装置において、駆動TFTのゲート絶縁膜115、116を画素TFTのゲート絶縁膜117よりも薄く設計する。また、画素TFTではゲート電極121の下にチャネル形成領域112a、112bが形成され、その間に分離領域113が形成される。その際、LDD領域111a、111dはゲート電極に重なる領域と重ならない領域とを有する。



## 【特許請求の範囲】

【請求項1】同一の絶縁体上に画素部と駆動回路部とを有する半導体装置において、

前記画素部に形成される画素TFTの活性層は、ソース領域とドレイン領域との間に低濃度不純物領域、チャネル形成領域及び高濃度不純物領域を有し、

前記チャネル形成領域及び高濃度不純物領域はゲート電極の下に設けられ、

前記低濃度不純物領域は、一部がゲート絶縁膜を挟んで前記ゲート電極に重なっていることを特徴とする電気光学装置。

【請求項2】同一の絶縁体上に画素部と駆動回路部とを有する半導体装置において、

前記画素部に形成される画素TFTの活性層は、ソース領域とドレイン領域との間に低濃度不純物領域、チャネル形成領域及び高濃度不純物領域を有し、

前記チャネル形成領域及び高濃度不純物領域はゲート電極の下に設けられ、

前記低濃度不純物領域は、ゲート絶縁膜を挟んで前記ゲート電極に重なる領域と重ならない領域とを有することを特徴とする電気光学装置。

【請求項3】請求項1又は請求項2において、前記低濃度不純物領域には $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup> の濃度で周期表の15族に属する元素が含まれ、前記高濃度不純物領域には $5 \times 10^{19} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup> の濃度で前記元素が含まれていることを特徴とする電気光学装置。

【請求項4】請求項1又は請求項2において、前記駆動回路部を形成するTFTのゲート絶縁膜の膜厚は、前記画素TFTのゲート絶縁膜の膜厚よりも薄いことを特徴とする電気光学装置。

【請求項5】請求項1又は請求項2において、前記駆動回路部を形成するTFTのゲート絶縁膜と前記画素部に形成される保持容量の誘電体とは同一材料からなり、且つ、膜厚が同一であることを特徴とする電気光学装置。

【請求項6】請求項1乃至請求項5のいずれか一に記載の電気光学装置を表示部として備えたことを特徴とする電子機器。

【請求項7】絶縁体上に半導体層を形成する第1工程と、

前記半導体層の一部に周期表の15族に属する元素を添加して低濃度不純物領域を形成する第2工程と、

前記半導体層の一部に前記第2工程よりも高い濃度で周期表の15族に属する元素を添加して高濃度不純物領域を形成する第3工程と、

前記半導体層上に絶縁膜を形成する第4工程と、

前記絶縁膜上にゲート電極及び容量電極を形成する第5工程と、

を有し、

前記高濃度不純物領域は前記ゲート電極の下方及び前記

容量電極の下方に形成されることを特徴とする電気光学装置の作製方法。

【請求項8】画素TFT及び保持容量を備えた複数の画素からなる画素部を有する半導体装置の作製方法において、

絶縁体上に半導体層を形成する第1工程と、

前記半導体層の一部に周期表の15族に属する元素を添加して低濃度不純物領域を形成する第2工程と、

前記半導体層の一部に前記第2工程よりも高い濃度で周期表の15族に属する元素を添加して高濃度不純物領域を形成する第3工程と、

前記半導体層上に第1絶縁膜を形成する第4工程と、

前記保持容量となる領域において前記第1絶縁膜を除去する第5工程と、

前記第5工程で露呈した半導体層上に前記第1絶縁膜よりも膜厚の薄い第2絶縁膜を形成する第6工程と、

前記第1絶縁膜上にゲート電極を形成すると同時に、前記第2絶縁膜上に容量電極を形成する第7工程と、

を有し、

前記高濃度不純物領域は前記ゲート電極の下方及び前記容量電極の下方に形成されることを特徴とする電気光学装置の作製方法。

【請求項9】請求項7又は請求項8において、前記低濃度不純物領域には $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup> の濃度で周期表の15族に属する元素が添加され、前記高濃度不純物領域には $5 \times 10^{19} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup> の濃度で前記元素が添加されることを特徴とする電気光学装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ(以下、TFTという)で形成された回路を有する半導体装置に関する。例えば、液晶ディスプレイやELディスプレイに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

## 【0002】

【従来の技術】TFT(Thin Film Transistor)は安価な基板上に形成することができるので、アクティブマトリクス型液晶ディスプレイ(以下、AM-LCDという)への応用開発が積極的に進められてきた。結晶質半導体膜(代表的にはポリシリコン膜)を利用したTFTは高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能とされている。

【0003】基本的にAM-LCDは画像を表示する画素部(複数の画素が配列された領域)と、画素部に配列

された各画素のTFTを駆動する駆動回路部とが同一基板上に形成されてなる。さらに、駆動回路部はゲート線を駆動するゲート線駆動回路（ゲート駆動回路）、各TFTへ画像信号を送るソース線駆動回路（ソース駆動回路）とに区別される。

【0004】近年では、これら画素部と駆動回路（周辺駆動回路ともいう）部の他に、信号分割回路や補正回路などといった画素部及び駆動回路以外の論理回路部をも同一基板上に設けたシステム・オン・パネルが提案されている。

【0005】しかしながら、画素部と駆動回路部とでは TFTに求められる性能が異なるため、同一構造のTFTで全ての仕様を満足させることは困難である。即ち、高速動作を重視するシフトレジスタまたはラッチ等の駆動回路を形成するTFTと、高耐圧特性を重視するバッファ、サンプリング回路または画素TFTとを同時に満足させるTFT構造は確立されていないのが現状である。

#### 【0006】

【発明が解決しようとする課題】本発明は上記問題点を鑑みてなされたものであり、TFT仕様（TFTが求められる性能）に応じて適切な構造のTFTを配置し、回路特性の優れた電気光学装置を提供することを課題とする。

【0007】また、画素部では、小さい面積で大容量を確保しうる保持容量を形成するための構造を提供する。さらに、小さい面積で十分にオフ電流値の低い画素TFTの構造を提供する。

【0008】そして、高性能で高い信頼性を有する電気光学装置を実現し、そのような電気光学装置を表示部（表示手段）として有する電子機器の性能および信頼性を高めることを課題とする。

#### 【0009】

【課題を解決するための手段】本明細書では上記課題を解決するために、半導体装置の各部位（例えば駆動回路部や画素部）において各部位の機能に応じてTFT構造を変え、半導体装置全体の性能を向上させる構成とする。

【0010】即ち、動作速度が高速であることを重視する部位（シフトレジスタやラッチを含む駆動回路など）にはゲート絶縁膜を挟んでゲート電極にLDD領域が重なる（オーバーラップする）構造としてホットキャリア注入による劣化に強いTFTを配置する。特に、電界効果移動度の高いNチャネル型TFTにおいてこの構造は効果的である。またその際、LDD領域は完全にゲート電極と重なるようにして抵抗成分をできるだけ減らす構造とする。さらに抵抗成分を減らすにはドレイン領域側のみにLDD領域を設けるといった構造が好ましい。

【0011】一方で、オフ電流値が低いことを重視する部位（画素TFTを含む画素部やサンプリング回路な

ど）はLDD領域がゲート絶縁膜を挟んでゲート電極に重なる領域と重ならない領域とを有することでオフ電流値を低減する構造となっている。オフ電流値を低減するには、LDD領域のうちゲート電極と重ならない領域が非常に重要な役目を果たしている。

【0012】また、動作速度が高速であることを重視する部位では、ゲート絶縁膜の膜厚を画素TFTのゲート絶縁膜よりも薄くすることで動作速度を高めている。このようにできるのは動作速度を重視する部位では画素TFTほどのゲート絶縁耐圧を必要としないからであって、画素TFT、バッファまたはサンプリング回路ではそのように薄くすることは好ましいものではない。

【0013】しかし、本発明のように画素部に保持容量を形成する場合、保持容量はできるだけ小さい面積で大きな容量を保持できるようにする必要があるため、その誘電体の膜厚は可能な限り薄いことが好ましい。

【0014】そこで、本発明では、駆動回路などの動作速度を重視する部位に形成するTFTのゲート絶縁膜と、画素部に形成する保持容量の誘電体とを同時に形成することで工程数を簡略化することも特徴の一つとしている。

【0015】また、本発明の画素TFTは、ゲート電極の下にゲート絶縁膜を挟んで少なくとも二つのチャネル形成領域及びチャネル形成領域の間に設けられた高濃度不純物領域を有し、且つ、ソース領域及びドレイン領域に接して一対の低濃度不純物領域を有する。そして、この低濃度不純物領域はゲート絶縁膜を挟んでゲート電極に重なる領域と重ならない領域とを有する。このような構造とすることで、従来のダブルゲート構造のTFTと同等の性能を、さらに小さい面積のシングルゲート構造で得ることが可能となる。

【0016】以上のように、画素部に関しては、保持容量及び画素TFTの占有面積を縮小化することで、画像表示の可能な領域を大きくする（開口率を向上させる）ことが可能となる。

#### 【0017】

【発明の実施の形態】本発明の実施形態について、図1を用いて説明する。図1は同一の絶縁体上に駆動回路部と画素部とを一体形成したAM-LCDの断面図を示している。なお、ここでは駆動回路部を構成する基本回路としてCMOS回路を示している。また、画素TFTとしては一つのゲート配線の下に二つのチャネル形成領域が形成される構造を示しているが、チャネル形成領域は三つ以上設けられても良い。

【0018】図1において、101は耐熱性を有する絶縁体（基板）であり、石英基板、シリコン基板、セラミックス基板または金属基板（代表的にはステンレス基板）を用いれば良い。どの基板を用いる場合においても、必要に応じて下地膜（好ましくは珪素を含む絶縁膜）を設けても構わない。

【0019】基板101の上には駆動回路を形成するTFT（以下、駆動TFTという）の活性層、各画素に具備されるTFT（以下、画素TFTという）の活性層および保持容量の電極となる半導体層が形成される。

【0020】図1において、駆動TFTの活性層は、nチャネル型TFT（以下、NTFTという）のソース領域102、ドレイン領域103、ゲート絶縁膜を挟んでゲート配線に重なった低濃度不純物領域（以下、本明細書中ではLDD領域という）104およびチャネル形成領域105、並びにpチャネル型TFT（以下、PTFTという）のソース領域106、ドレイン領域107およびチャネル形成領域108で形成される。なお、LD DとはLightly Doped Drainの略である。

【0021】また、画素TFT（ここではNTFT）の活性層は、ソース領域109、ドレイン領域110、LDD領域111a～111dおよびチャネル形成領域112a、112bで形成される。また、チャネル形成領域112aと112bとの間には高濃度に周期表の15族に属する元素が添加された高濃度不純物領域（以下、本明細書中では分離領域という）113が存在する。この領域はオフ電流値（TFTがオフ動作時に流れるドレイン電流値）を低くする上で非常に重要である。

【0022】この時、駆動TFTのLDD領域104や画素TFTのLDD領域111a～111dには $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>（好ましくは $5 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>）の濃度で周期表の15族に属する元素（代表的にはリン又は砒素）が含まれている。また、画素TFTの分離領域113には $5 \times 10^{19} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup>（好ましくは $1 \times 10^{20} \sim 5 \times 10^{20}$  atoms/cm<sup>3</sup>）の濃度で周期表の15族に属する元素（代表的にはリン又は砒素）が含まれている。

【0023】さらに、ドレイン領域110から延長された半導体層を保持容量の電極（以下、第1容量電極という）114として用いる。厳密に言うと、第1容量電極114とは画素電極と電気的に接続された半導体層と呼ぶことができる。即ち、ここではドレイン領域から延長された半導体層で形成されているが、配線によってドレイン領域と電気的に接続された領域であっても良い。

【0024】なお、ここでは説明の便宜上、109の領域をソース領域、110の領域をドレイン領域と呼んでいるが、画素TFTに流れるドレイン電流の向きによって、ソース領域とドレイン領域とが入れ替わる場合もある。従って、109をドレイン領域と呼び、110をソース領域と呼んでも差し支えない。

【0025】また、シングルゲート構造のゲート配線の下に二つ以上のチャネル形成領域（112a、112b）と、それらを分離する高濃度不純物領域（111b、111c、113）とを設けることで、従来のダブルゲート構造よりも小さい面積で同等の性能を有する画素TFTを実現している。

【0026】似たような構造が特開平7-326767号公報に記載されているが、同公報記載の構造はLDD領域がゲート電極に重なるように設けられていない。本発明はホットキャリア注入によるオン電流（TFTがオン動作時に流れるドレイン電流）の劣化を抑制するためにゲート電極にLDD領域が重なるように設けられている点で異なる技術である。

【0027】即ち、本発明の構造が上記公報記載の構造と異なる点は、ソース領域109に接するLDD領域111aと、ドレイン領域110に接するLDD領域111dが、ゲート電極121にゲート絶縁膜を挟んで重なる部分と重ならない部分とを有している点にある。本発明の構造では、LDD領域とゲート電極とが重なる部分でオン電流値の劣化を抑制し、LDD領域とゲート電極とが重ならない部分でオフ電流値の増加を抑制している。即ち、オン電流値の劣化とオフ電流値の増加とを同時に抑制することが可能である。

【0028】次に、活性層および第1容量電極を覆ってゲート絶縁膜が形成されるが、図1では駆動TFTのゲート絶縁膜115（NTFT側）、116（PTFT側）が、画素TFTのゲート絶縁膜117よりも薄く形成される。代表的には、ゲート絶縁膜115、116の膜厚は5～50nm（好ましくは10～30nm）とし、ゲート絶縁膜117の膜厚は50～200nm（好ましくは100～150nm）とすれば良い。

【0029】なお、駆動TFTのゲート絶縁膜は一種類の膜厚である必要はない。即ち、駆動回路内に異なる絶縁膜を有する駆動TFTが存在していても構わない。その場合、同一の絶縁体上に異なるゲート絶縁膜を有するTFTが少なくとも三種類以上存在することになる。また、駆動TFTのゲート絶縁膜の膜厚と保持容量の誘電体の膜厚が異なり、且つ、それらが画素TFTのゲート絶縁膜の膜厚と異なるという場合もありうる。例えば、駆動TFT（特に高速動作を必要とする回路）が5～10nm、画素TFTが100～150nmのゲート絶縁膜を有し、保持容量の誘電体が30～50nmという場合である。

【0030】但し、図1の構造においては、保持容量の誘電体118が駆動TFTのゲート絶縁膜115、116と同時に形成された絶縁膜で形成される。即ち、駆動TFTのゲート絶縁膜と保持容量の誘電体は同一材料からなる絶縁膜であり、且つ、膜厚が同一である。

【0031】このように保持容量の誘電体を薄くすることで、容量を形成する面積を大きくすることなくキャパシティを稼ぐことができる。また、TFTの作製工程を増やすこともないという利点が得られる。

【0032】次に、ゲート絶縁膜115～117の上には駆動TFTのゲート電極119、120と、画素TFTのゲート電極121が形成される。また、同時に保持容量の誘電体118の上には保持容量の電極（以下、第

2容量電極という) 122が形成される。ゲート電極19～121および第2容量電極122の形成材料としては、700～1150°C(好ましくは900～1100°C)の温度に耐える耐熱性を有する導電膜を用いる。

【0033】代表的には、導電性を有する珪素膜(例えはリンドープシリコン膜、ポロンドープシリコン膜等)や金属膜(例えはタンクスチレン膜、タンタル膜、モリブデン膜、チタン膜等)でも良いし、前記金属膜をシリサイド化したシリサイド膜、窒化した窒化膜(窒化タンタル膜、窒化タンクスチレン膜、窒化チタン膜等)またはこれらの材料を組み合わせた合金膜でも良い。また、以上の薄膜を自由に組み合わせて積層した積層膜でも良い。

【0034】また、前記金属膜を用いる場合には、金属膜の酸化を防止するために珪素膜との積層構造とすることが望ましい。また、酸化防止という意味では、金属膜を窒化珪素膜で覆った構造が有効である。図1では窒化酸化珪素膜(酸素、窒素、珪素が所定の割合で存在する絶縁膜)でなる保護膜123を設けてゲート配線の酸化を防ぐ。窒化酸化珪素膜以外にも、酸化珪素膜、窒化珪素膜を用いても良い。本明細書中ではこれらの絶縁膜をまとめて、珪素を含む絶縁膜と呼ぶ。

【0035】次に、124は第1層間絶縁膜であり、珪素を含む絶縁膜(単層または積層)で形成される。そして、第1層間絶縁膜124にはコンタクトホールが設けられ、CMOS回路のソース配線125、126、ドレイン配線127、および画素TFTのソース配線128、ドレイン配線129が形成される。その上にはパッシベーション膜130、第2層間絶縁膜131が形成され、さらにその上には遮蔽膜(遮光膜ともいう)132が形成される。さらに、遮蔽膜132の上には第3層間絶縁膜133が形成され、コンタクトホールを設けた後、画素電極134が形成される。

【0036】第2層間絶縁膜131や第3層間絶縁膜133としては、比誘電率の小さい樹脂膜が好ましい。樹脂膜としては、ポリイミド膜、アクリル樹脂膜、ポリアミド膜、BCB(ベンゾシクロブテン)膜などを用いることができる。また、有機系SiO化合物やSiOF化合物を用いることもできる。

【0037】また、画素電極134としては、透過型AM-LCDを作製するのであればITO膜に代表される透明導電膜を、反射型AM-LCDを作製するのであればアルミニウム膜に代表される反射率の高い金属膜を用いれば良い。

【0038】なお、図1では画素電極134がドレイン電極129を介して画素TFTのドレイン領域110と電気的に接続されているが、画素電極134とドレイン領域110とが直接的に接続するような構造としても良い。

【0039】以上のような構造でなるAM-LCDは、駆動TFTのゲート絶縁膜が画素TFTのゲート絶縁膜

よりも薄く、高速動作を重視した構造になっている。その一方で、画素TFTはゲート絶縁膜が駆動TFTよりも厚く、ゲート絶縁耐性を重視した構造となっている。

【0040】また、画素TFTが従来のダブルゲート構造よりも小さい面積で形成可能であり、且つ、LDD領域の配置を工夫することによりオン電流の劣化とオフ電流の増加を同時に抑制している点に特徴がある。さらに、図示していないが画素TFTの活性層の下方に遮蔽膜を形成しておくと、光漏れによるリーク電流も低減させることができる。

【0041】さらに、保持容量の誘電体を薄くすることで保持容量の占有面積を小さくしているので、画素TFTの小面積化との相互作用により開口率(有効表示領域)の高い画素部が実現されている。この誘電体は、駆動TFTのゲート絶縁膜と同時に形成することで、工程数を増やすことなく形成することができる。

【0042】以上のように、駆動回路部及び画素部の機能に応じて最適なTFTを配置し、画素TFTや保持容量の縮小化を図ることで、高性能で高い信頼性を有する半導体装置(電気光学装置も電子機器も含む)を作製することができる。

【0043】以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

#### 【0044】

【実施例】【実施例1】本実施例では、「発明の実施の形態」で説明した図1の構造を実現するための作製工程について説明する。説明には図2～4を用いる。

【0045】まず、基板として石英基板202を用意し、その上に非晶質珪素膜203を形成する。この時、下地膜として珪素を含む絶縁膜を形成した上で大気解放しないまま連続的に非晶質珪素膜を形成しても良い。こうすることで非晶質珪素膜の下表面に大気中に含まれるボロン等の不純物が吸着することを防ぐことができる。

(図2(A))

【0046】なお、本実施例では非晶質珪素(アモルファスシリコン)膜を用いるが、他の半導体膜であっても構わない。微結晶質珪素(マイクロクリスタルシリコン)膜でも良いし、非晶質シリコンゲルマニウム膜でも良い。また、膜厚は後の熱酸化工程も考慮して、最終的にTFTが完成した状態で25～40nmとなるように形成する。本実施例では熱酸化工程で25nmの膜減りを見込んで、予め65nmの膜厚とする。

【0047】次に、非晶質珪素膜の結晶化を行う。本実施例では結晶化手段として、特開平9-312260号公報に記載された技術を用いる。同公報に記載された技術は、結晶化を助長する触媒元素としてニッケル、コバルト、パラジウム、ゲルマニウム、白金、鉄または銅を用いている。

【0048】本実施例では触媒元素としてニッケルを選

択し、非晶質珪素膜 203 上にニッケルを含んだ層（図示せず）を形成し、550°C 4時間の熱処理を行って結晶化する。そして、結晶質珪素（ポリシリコン）膜 204を得る。（図 2 (B)）

【0049】なお、ここで結晶質珪素膜 204 に対して TFT のしきい値電圧を制御するための不純物元素（リンまたはボロン）を添加しても良い。リンまたはボロンを打ち分けても良いし、どちらか片方のみを添加しても良い。

【0050】また、本実施例では上記公報により、ニッケルを含む溶液を非晶質珪素膜上に塗布する手段を用いるが、ニッケルを含んだ層を形成するにあたってスパッタ法や蒸着法を用いることもできる。

【0051】次に、結晶質珪素膜 204 上に 100 nm 厚の酸化珪素膜であるマスク膜 205 を形成し、その上にレジストマスク 206a、206b を形成する。さらにレジストマスク 206a、206b をマスクとしてマスク膜 205 をエッチングし、開口部 207a、207b を形成する。

【0052】この状態で周期表の 15 族に属する元素（本実施例ではリン）を添加し、リンドープ領域（リン添加領域）208a、208b を形成する。なお、添加するリンの濃度は  $5 \times 10^{18} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>（好ましくは  $1 \times 10^{19} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>）が好ましい。但し、添加すべきリンの濃度は、後のゲッタリング工程の温度、時間、さらにはリンドープ領域の面積によって変化するため、この濃度範囲に限定されるものではない。（図 2 (C)）

【0053】次に、レジストマスク 206a、206b を除去して 450~650°C（好ましくは 500~600°C）の熱処理を 2~16 時間加え、結晶質珪素膜中に残存するニッケルのゲッタリングを行う。ゲッタリング作用を得るために熱履歴の最高温度から ± 50°C 程度の温度が必要であるが、結晶化のための熱処理が 550~600°C で行われるため、500~650°C の熱処理で十分にゲッタリング作用を得ることができる。

【0054】本実施例では 600°C、12 時間の熱処理を加えることによってニッケルが矢印（図 2 (D) 参照）の方向に移動し、リンドープ領域 208a、208b にゲッタリングされる。こうして 209a、209b で示される結晶質珪素膜に残存するニッケルの濃度は  $2 \times 10^{17}$  atoms/cm<sup>3</sup> 以下（好ましくは  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 以下）にまで低減される。但し、この濃度は質量二次イオン分析（SIMS）による測定結果であり、測定限界の関係で現状ではこれ以下の濃度は確認できていない。

（図 2 (D)）

【0055】こうしてニッケルのゲッタリング工程が終了したら、結晶質珪素膜 209a、209b をパターニングして、CMOS 回路用の活性層（半導体層）210、画素 TFT 用及び保持容量用の活性層 211 を形成す

る。その際、ニッケルを捕獲したリンドープ領域 208a、208b は完全に除去してしまうことが望ましい。

（図 3 (A)）

【0056】次にプラズマ CVD 法により 110 nm 厚の酸化珪素膜 212 を形成し、その上にレジストマスク 213a~213d を形成する。次に、その状態で周期表の 15 族に属する元素の添加工程を行う。本実施例では、 $2 \times 10^{18} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>（好ましくは  $5 \times 10^{18} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>）の濃度でリンを含む不純物領域（低濃度不純物領域または n<sup>-</sup> 領域という）214a~214d を形成する。（図 3 (B)）

【0057】この工程では基本的に N TFT となる領域に対してリンを添加する。但し、CMOS 回路の TFT は、後にチャネル形成領域とソース領域となる領域の上にレジストマスク 213a を設け、ドレイン領域となる領域のみに n<sup>-</sup> 領域 214a を形成する。また、画素 TFT においては後のチャネル形成領域 216a、216b が画定する。

【0058】次に、レジストマスク 213a~213d を除去し、新たにレジストマスク 217a、217b を形成する。そしてその状態で、再び周期表の 15 族に属する元素の添加工程を行う。本実施例では、 $5 \times 10^{19} \sim 3 \times 10^{21}$  atoms/cm<sup>3</sup>（好ましくは  $1 \times 10^{19} \sim 5 \times 10^{20}$  atoms/cm<sup>3</sup>）の濃度でリンを含む不純物領域（高濃度不純物領域または n<sup>+</sup> 領域という）218a、218b を形成する。（図 3 (C)）

【0059】このとき形成される n<sup>+</sup> 領域（分離領域）218a は、後にゲート電極下においてチャネル形成領域を分離するための領域として機能する。また、同時に形成される n<sup>+</sup> 領域 218b は保持容量の電極（第 1 容量電極）として機能する。本実施例は、これらの領域を同時に形成するため、特に工程数を増やすことがないという利点がある。

【0060】さらに、この工程により画素 TFT の LDD 領域（但しチャネル形成領域 216a と 216b との間に設けられる分）219a、219b が画定する。

【0061】次に、酸化珪素膜 212 を除去し、プラズマ CVD 法またはスパッタ法により珪素を含む絶縁膜を形成し、パターニングすることによりゲート絶縁膜 220 を形成する。このゲート絶縁膜 220 は画素 TFT のゲート絶縁膜として機能することになる絶縁膜であり、本実施例では 60 nm 厚の酸化珪素膜を用いる。但し、後の熱酸化工程で膜厚が増加するので、それを考慮して最終的に 50~200 nm（好ましくは 60~120 nm）となるようにする。（図 3 (D)）

【0062】この時、ゲート絶縁膜 220 は画素 TFT の上に残すように形成して CMOS 回路および保持容量となる領域の上は除去する。なお、本実施例では CMOS 回路のみで説明しているが、実際には駆動回路の一部（特に高速動作を要求される回路）となる領域の上にお

いて除去する。そのため、バッファやサンプリング回路（サンプルホールド回路ともいう）などのようにゲート絶縁膜に高電圧が印加されるような回路の場合に限っては、ゲート絶縁膜220と同じ膜厚の絶縁膜を残しておくことが望ましい。

【0063】こうして図3(D)の状態が得られたら、次に、800～1150°C(好ましくは900～1100°C)の温度で15分～8時間(好ましくは30分～2時間)の熱処理工程を、酸化性雰囲気下で行う(熱酸化工程)。本実施例では酸素雰囲気中で950°C30分の熱処理工程を行う。

【0064】なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体層中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、酸素雰囲気中にハロゲン元素を含ませた雰囲気でも良い。このハロゲン元素を含ませた雰囲気による熱酸化工程では、結晶化に用いたニッケルを除去する効果も期待できるので有効である。

【0065】こうして熱酸化工程を行うことにより駆動TFTと保持容量となる領域において露呈した半導体層の表面には、5～50nm(好ましくは10～30nm)の酸化珪素膜(熱酸化膜)221、222が形成される。本実施例では50nm厚の酸化珪素膜を形成し、酸化珪素膜221は駆動TFTのゲート絶縁膜として、酸化珪素膜222は保持容量の誘電体として用いることにする。

【0066】また、画素TFTに残存した酸化珪素膜となるゲート絶縁膜220と、その下の半導体層との界面においても酸化反応が進行する。そのため、最終的に画素TFTのゲート絶縁膜223の膜厚は、予め形成されていた60nm厚の絶縁膜と熱酸化により形成された50nm厚の絶縁膜とを合計して110nmの膜厚を有する絶縁膜となる。また、この熱酸化工程により約25nmの半導体層が酸化され、活性層210、211の膜厚は40nmとなる。この膜厚が最終的に完成したTFTの活性層の膜厚となる。

【0067】こうして熱酸化工程を終了したら、次に駆動TFTのゲート電極224(N TFT側)、225(P TFT側)、画素TFTのゲート電極226、保持容量の電極(第2容量電極)227を形成する。(図3(E))

【0068】本実施例ではゲート電極224～226および第2容量電極227として、下層から珪素膜(導電性を持たせたもの)/窒化タンゲスタン膜/タンゲスタン膜(または下層から珪素膜/タンゲスタンシリサイド膜)という積層膜を用いる。勿論、「発明の実施の形態」で説明した他の導電膜を用いることも可能であることは言うまでもない。また、本実施例では、各ゲート配線の膜厚は400nmとする。

【0069】なお、本実施例では最下層の珪素膜を、減圧熱CVD法を用いて形成する。駆動回路のゲート絶縁

膜は5～50nmと薄いため、スパッタ法やプラズマCVD法を用いた場合、条件によっては半導体層(活性層)へダメージを与える恐れがある。従って、化学的気相反応で成膜できる熱CVD法が好ましい。

【0070】次に、レジストマスク229a、229bを形成して、再び周期表の15族に属する元素(本実施例ではリン)を添加する。この時添加するリンの濃度は、図3(C)の工程で添加したリンの濃度と同様で良い。(図4(A))

10 【0071】この工程は、ゲート絶縁膜の膜厚が薄い駆動TFTと、ゲート絶縁膜の膜厚が厚い画素TFTとなる領域とで分けて行っても良いし、同時にあっても良い。また、リンの添加工程は質量分離を行なうイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0072】この工程によりCMOS回路のN TFTのソース領域230、ドレイン領域231、LDD領域232およびチャネル形成領域233が画定する。また、画素TFTのソース領域234、ドレイン領域235、LDD領域236a、236bが画定する。

【0073】この時、LDD領域236a、236bは一部がゲート絶縁膜223を挟んでゲート電極226と重なるように形成される。こうすることでホットキャリア注入に起因する劣化に強い構造を得ることができる。また、LDD領域236a、236bにおいてゲート電極226に重ならない部分は、オフ電流の増加を防ぐために大きな効果をもつ。

30 【0074】本実施例では、ソース領域234またはドレイン領域235に接するLDD領域236a、236bのうち、ゲート電極226に重なる部分の長さ(幅)を0.3～2.0μm(好ましくは0.5～1.5μm)とし、重ならない部分の長さ(幅)を1.0～4.0μm(好ましくは2.0～3.0μm)とする。

【0075】次に、CMOS回路のP TFTとなる領域以外をレジストマスク237、238で隠し、周期表の13族に属する元素(本実施例ではボロン)の添加工程を行う。本実施例では $3 \times 10^{10} \sim 3 \times 10^{11}$ atoms/cm<sup>2</sup>の濃度でボロンが添加されるように調節する。(図4(B))

【0076】勿論、この工程も質量分離を行なうイオンインプランテーション法を用いても良いし、質量分離を行わないプラズマドーピング法を用いても良い。また、加速電圧やドーズ量の条件等は実施者が最適値を設定すれば良い。

【0077】この工程によりCMOS回路を形成するP TFTのソース領域239、ドレイン領域240およびチャネル形成領域241が画定する。また、CMOS回路のN TFTのドレイン領域242が画定する。

【0078】こうして全ての不純物領域を形成し終えたら、レジストマスク237、238を除去する。そして、ゲート電極224～226および第2容量電極227を覆って200nm厚の空化酸化珪素膜でなる保護膜243を形成する。この保護膜243はゲート電極224～226および第2容量電極227の酸化を防ぐ効果をもつ。保護膜243として、他の珪素を含む絶縁膜を用いても良い。

【0079】保護膜243を形成したら、600～1000°C(好ましくは600～850°C)の温度範囲で20分～12時間の熱処理工程を行う。本実施例では、800°Cで1時間の熱処理を不活性雰囲気中において行う。この工程により添加した不純物元素の活性化及び非晶質化した珪素膜の再結晶化を行う。

【0080】活性化が終えたら水素化処理を行う。水素化処理は熱処理またはプラズマ処理により励起させた水素を添加する処理であり、熱処理による場合は3～100%の水素を含む雰囲気中で300～450°C、2～6時間の熱処理工程を行えば良い。

【0081】次に第1層間絶縁膜244を形成する。本実施例では、プラズマCVD法により形成した800nm厚の酸化珪素膜を用いる。そして、コンタクトホールを形成した後、ソース配線245～247、ドレイン配線248、249を形成する。本実施例ではこれらの配線を、アルミニウムを主成分とする導電膜をチタン膜で挟んだ積層膜で形成する。

【0082】先ほどの水素化処理は、ソース配線及びドレイン配線を形成した後で行っても良い。いずれにしてもソース配線及びドレイン配線を形成したら、次に、パッシベーション膜250を形成する。パッシベーション膜250としては、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、またはこれらの絶縁膜と酸化珪素膜との積層膜を用いることができる。本実施例では300nm厚の窒化珪素膜をパッシベーション膜として用いる。

【0083】なお、本実施例では窒化珪素膜を形成する前処理として、アンモニアガスを用いたプラズマ処理を行い、そのままパッシベーション膜250を形成する。この前処理によりプラズマで活性化した(励起した)水素が第1層間絶縁膜244によって閉じこめられるため、TFTの活性層(半導体層)の水素終端を促進させることができる。

【0084】そして、パッシベーション膜250を形成したら350～450°Cの熱処理工程を行う。これはパッシベーション膜250の膜質を改善するための熱処理ではあるが、同時に先ほどの水素化で第1層間絶縁膜中に添加された水素が熱拡散によって下層に下がるため、効率良く活性層を水素化することができる。勿論、この熱処理自体を、水素を含む雰囲気中で行っても構わない。

【0085】次に、第2層間絶縁膜251として1μm

厚のアクリル膜を形成する。アクリル膜以外にも、ポリイミド膜、ポリアミド膜、ポリイミドアミド膜またはBCB(ベンゾシクロブテン)膜等の有機系樹脂膜を用いることができる。これらの樹脂膜は比誘電率が低く、平坦性が高いため有効である。

【0086】そして、その上に金属膜を200nmの厚さに形成してパターニングを行い、遮蔽膜252を形成する。本実施例では遮蔽膜252としてチタン膜またはアルミニウム膜とチタン膜との積層膜を用いる。

【0087】次に、第2層間絶縁膜251と同じく有機系樹脂材料でなる第3層間絶縁膜253を1μmの厚さに形成する。そして、第3層間絶縁膜253、第2層間絶縁膜251およびパッシベーション膜250を順次エッチングして、ドレイン配線249に達するコンタクトホールを形成し、画素電極254を形成する。画素電極254は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置するために、酸化インジウム・スズ(ITO)膜を100nmの厚さにスパッタ法で形成する。

【0088】本発明のAM-LCDは、同一の絶縁体上に形成された駆動回路部(またはその他の論理回路部)と画素部とでゲート絶縁膜の膜厚が異なる。代表的には、駆動回路に用いられる駆動TFTの方が画素部に用いられる画素TFTよりも薄いゲート絶縁膜を有する。

【0089】さらに、駆動TFTのゲート絶縁膜と、画素部に設けられる保持容量の誘電体を同時に形成することで工程簡略化を図る点にも特徴がある。なお、その場合には、駆動TFTのゲート絶縁膜と保持容量の誘電体が同一の膜厚となる。

【0090】このように本発明は、駆動TFTのゲート絶縁膜を薄く形成するための工程を、保持容量の誘電体を薄くするための工程と兼ねる点に特徴がある。このような構成により面積を広げることなく保持容量のキャパシティを増加させることができる。

【0091】また、本実施例の作製工程に従うと、最終的なTFTの活性層(半導体層)は、結晶格子に連続性を持つ特異な結晶構造の結晶質珪素膜で形成される。ここでは、本実施例の作製工程に従って結晶質珪素膜を形成する段階まで実験的に行い、そうして形成した膜を分析した結果について以下に説明する。

【0092】まず第1の特徴として、本実施例の作製工程に従って形成した結晶質珪素膜は、微視的に見れば複数の針状又は棒状の結晶(以下、棒状結晶と略記する)が集まって並んだ結晶構造を有する。このことはTEM(透過型電子顕微鏡法)による観察で容易に確認できる。

【0093】また、第2の特徴として、電子線回折を利用すると本実施例の作製工程に従って形成した結晶質珪素膜の表面(チャネルを形成する部分)に、結晶軸に多

少のそれが含まれているものの配向面として {110} 面を確認することができる。このことはスポット径約 1.35 μm の電子線回折写真を観察した際、{110} 面に特有の規則性をもった回折斑点が現れていることから確認される。また、各斑点は同心円上に分布を持っていることも確認されている。

【0094】また、第3の特徴として、X線回折法（厳密にはθ-2θ法を用いたX線回折法）を用いて配向比率を算出してみると {220} 面の配向比率が 0.7 以上（典型的には 0.85 以上）であることが確認されている。なお、配向比率の算出方法は特開平7-321339号公報に記載された手法を用いる。

【0095】また、第4の特徴として、本出願人は個々の棒状結晶が接して形成する結晶粒界を HR-TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認している。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できる。

【0096】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBICMeasurement ; Ryuichi Shiomokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988」に記載された「Planar boundary」である。

【0097】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊な twist 粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0098】特に結晶軸（結晶面に垂直な軸）が {110} 軸である場合、{211} 双晶粒界は Σ3 の対応粒界とも呼ばれる。Σ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、Σ 値が小さいほど整合性の良い粒界であることが知られている。例えば、二つの結晶粒の間に形成された結晶粒界では、両方の結晶の面方位が {110} である場合、{111} 面に対応する格子縞がなす角を θ とすると θ = 70.5° の時に Σ3 の対応粒界となることが知られている。

【0099】本実施例を実施して得た結晶質珪素膜において、結晶軸が {110} である二つの結晶粒の間に形成された結晶粒界を HR-TEM で観察すると、隣接する結晶粒の各格子縞が約 70.5° の角度で連続しているものが多い。従って、その結晶粒界は Σ3 の対応粒界、即ち {211} 双晶粒界であると推測できる。

【0100】この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶

粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0101】またさらに、700～1150°C という高い温度での熱処理工程（本実施例における熱酸化工程にあたる）によって結晶粒内に存在する欠陥が殆ど消滅していることが TEM 観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることからも明らかである。

【0102】この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って作製された結晶質珪素膜のスピン密度は少なくとも  $5 \times 10^{17}$  spins/cm<sup>3</sup> 以下（好ましくは  $3 \times 10^{17}$  spins/cm<sup>3</sup> 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0103】以上の事から、本実施例を実施することで得られた結晶質珪素膜は結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0104】〔実施例2〕本実施例では、具体的にどのような部位にどのような構造の TFT を配置するかを図 5 を用いて説明する。

【0105】AM-LCD は、部位によって最低限必要な動作電圧（電源電圧）が異なる。例えば、画素部では液晶に印加する電圧と画素 TFT を駆動するための電圧とを考慮すると、14～20V の動作電圧となる。そのため、そのような高電圧が印加されても耐えうる程度の TFT を用いなければならない。

【0106】また、ソース駆動回路やゲート駆動回路に含まれるシフトレジストは、5～10V 程度の動作電圧で十分である。動作電圧が低いほど外部信号との互換性もあり、さらに消費電力を抑えられるという利点がある。ところが、前述の画素部に用いるような TFT は耐圧特性が良い代わりに動作速度が犠牲なるため、シフトレジスタのように高速動作が求められる回路には不適当である。

【0107】このように、基板上に形成される TFT は、目的に応じて耐圧特性を要求されるものと高速動作特性を要求されるものとに分かれる。

【0108】ここで具体的に本実施例の構成を図 5、図 6 に示す。図 5 に示したのは、AM-LCD のブロック図を上面から見た図である。501 は画素部であり、画像表示領域として機能する。また、502a はシフトレジスト、502b はレベルシフタ、502c はバッファである。これらの回路が全体としてゲート駆動回路を形成している。

【0109】なお、図 5 に示した AM-LCD ではゲー

ト駆動回路を、画素部を挟んで設け、それぞれで同一ゲート配線を共有している、即ち、どちらか片方のゲート駆動回路に不良が発生してもゲート配線に電圧を印加することができるという冗長性を持たせている。

【0110】また、503aはシフトレジスタ、503bはレベルシフタ、503cはバッファ、503dはサンプリング回路であり、これらの回路が全体としてソース駆動回路を形成している。画素部を挟んでソース駆動回路と反対側にはプリチャージ回路504が設けられている。

【0111】このような構成を含むAM-LCDにおいて、シフトレジスタ502a、503aは高速動作を求める回路であり、動作電圧が3.3～10V（代表的には3.3～5V）と低く、高耐圧特性は特に要求されない。従って、ゲート絶縁膜の膜厚は5～50nm（好ましくは10～30nm）と薄くした方が良い。

【0112】図6(A)に示したのは主としてシフトレジスタやその他の論理回路のように高速動作を求める回路に用いるべきCMOS回路の概略図である。なお、図6(A)において、505はNTFTおよびPTFTのゲート絶縁膜であり、膜厚を5～50nm（好ましくは10～30nm）と薄く設計している。

【0113】また、506はゲート電極にゲート絶縁膜を挟んで重なったLDD領域であり、ホットキャリア注入によるオン電流値の劣化を防ぐ効果を有する。なお、LDD領域506の長さは0.3～2μm（代表的には0.5～1.5μm）が好ましい。なお、ここではドレン領域側のみに設けているが、少なくともドレン領域側に設けてあれば良い。また、動作電圧が2～3Vなどのように十分低ければLDD領域を設けないことも可能である。

【0114】次に、図6(B)に示すCMOS回路は、主としてレベルシフタ502b、503b、バッファ502c、503c、プリチャージ回路504に適している。これらの回路は比較的大きな電流を流す必要があるため、動作電圧は14～16Vと高い。特にゲート駆動側では場合によっては19Vといった動作電圧を必要とする場合もある。従って、非常に良い耐圧特性（高耐圧特性）を有するTFTが必要となる。

【0115】この時、図6(B)に示したCMOS回路において、NTFTおよびPTFTのゲート絶縁膜507の膜厚は、50～200nm（好ましくは100～150nm）に設計されている。このように良い耐圧特性を要求する回路は、図6(A)に示したシフトレジスタ回路などのTFTよりもゲート絶縁膜の膜厚を厚く（3～10倍）しておくことが好ましい。

【0116】また、508はゲート電極にゲート絶縁膜を挟んで重なったLDD領域であり、ホットキャリア注入によるオン電流値の劣化を防ぐ。なお、LDD領域508の長さは0.5～2.0μm（代表的には1.0～

1.5μm）が好ましい。この場合も、少なくともドレン領域側に設けてあれば良い。

【0117】次に、図6(C)に示す回路は、主としてサンプリング回路（アナログスイッチともいう）503dに適している。サンプリング回路も良い耐圧特性を要求するためNTFTおよびPTFTのゲート絶縁膜509の膜厚は、50～200nm（好ましくは100～150nm）に設計されている。

【0118】また、サンプリング回路503dの場合、ソース領域とドレン領域の機能が反転するため、チャネル形成領域の両側に挟み込むようにしてLDD領域を設ける必要がある。さらに、ホットキャリア対策だけでなく、オフ電流値も低くした方が好ましい。そのため、LDD領域510、511は画素TFTと同様にチャネル形成領域の両側に配置し、ゲート配線に重なった部分と、重ならない部分とを有するように形成すると良い。この場合、ゲート配線と重なったLDD領域の長さは0.3～2μm（代表的には1.0～1.5μm）、ゲート配線と重ならないLDD領域の長さは1.0～2.5μm（代表的には1.5～2.0μm）とすればよい。

【0119】次に、図6(D)は画素部501の一画素の概略図を示している。画素TFTは液晶に印加する電圧分も加味されるため、14～16Vの動作電圧を必要とする。また、液晶及び保持容量に蓄積された電荷を1フレーム期間保持しなければならないため、極力オフ電流は小さくなければならない。

【0120】そういった理由から、本実施例ではNTFTを用いてゲート絶縁膜512の膜厚を50～200nm（好ましくは100～150nm）としている。この膜厚は図6(B)、図6(C)に示したCMOS回路と同じ膜厚であっても良いし、異なる膜厚であっても良い。

【0121】また、LDD領域513、514は一部がゲート電極にゲート絶縁膜を挟んで重なるように形成される。この時、LDD領域513、514のうち、ゲート電極に重なる部分の長さ（幅）は0.3～2.0μm（好ましくは0.5～1.0μm）、重ならない部分の長さ（幅）は1.0～4.0μm（好ましくは2.0～3.0μm）とすれば良い。また、ゲート電極の下に配置されるn'領域515、516の長さ（幅）は0～2.0μm（代表的には0.5～1.5μm）とすれば良い。

【0122】さらに、ゲート電極の下に配置されたn'領域（分離領域）517は少数キャリアであるホール（正孔）の移動を妨げる領域として機能する。そのため、オフ電流値を低減させるのに大きな効果がある。この領域は存在するだけでオフ電流値を低減させる効果があるが、1～5μm（好ましくは2～3μm）あればより効果的にオフ電流値を低減することが可能である。

【0123】また、同時に保持容量の誘電体518の膜厚は、図6(A)に示したCMOS回路のゲート絶縁膜

と同じ膜厚であり、5～50nm（好みくは10～30nm）である。勿論、活性層を酸化して形成しても良いし、CVD法またはスパッタ法により形成しても良い。

【0124】以上のように、AM-LCDを例にとっても同一の絶縁体上には様々な回路や素子が設けられ、回路や素子によって必要とする動作電圧（電源電圧）が異なることがある。この場合には本発明のようにゲート絶縁膜の膜厚を異ならせたTFTを配置するなどの使い分けが必要となる。

【0125】なお、本実施例の構成を実現するにあたって、実施例1の作製工程を用いることは可能である。逆に、本実施例の数値範囲などを実施例1の作製工程を実施するにあたって適用することは有効である。

【0126】〔実施例3〕実施例1において、絶縁膜220を選択的に除去する工程に際し、駆動TFTや保持容量となる領域での除去は図7に示すように行うことが望ましい。図7において、701は活性層、702は絶縁膜220の端部、703、704はゲート配線である。図7に示すように、ゲート配線が活性層を乗り越える部分705では、活性層701の端部に絶縁膜220を残しておくことが望ましい。ここでは点線で囲まれた領域の内側が絶縁膜220の除去された領域である。

【0127】活性層701の端部は後に熱酸化工程を行った際にエッジシニングと呼ばれる現象が起こる。これは、活性層端部の下に潜り込むように酸化反応が進行し、端部が薄くなると同時に上へ盛り上がる現象である。そのため、エッジシニング現象が起こるとゲート配線が乗り越え時に断線しやすいという問題が生じる。

【0128】しかしながら、図7に示したような構造となるように絶縁膜220を除去しておけば、ゲート配線が乗り越える部分705においてエッジシニング現象を防ぐことができる。そのため、ゲート配線の断線といった問題を未然に防ぐことが可能である。

【0129】〔実施例4〕本実施例では、実施例1と異なる工程でAM-LCDを作製する場合の例について図8、図9を用いて説明する。

【0130】まず、実施例1の作製工程に従って、石英基板202上に非晶質珪素膜（図示せず）を形成し、非晶質珪素膜の結晶化した後、結晶質珪素膜となる活性層203、204を形成する。

【0131】活性層まで形成したら、図8(A)に示すように、活性層の上にレジストマスク801～803を形成し、周期表の15族に属する元素（本実施例ではリン）の添加工程を行う。こうしてリンが添加された領域（以下、リンドープ領域という）804～809が形成される。

【0132】なお、レジストマスク801～803を形成する前に活性層表面を酸化しておくことが好みしい。酸化珪素膜を設けておくことで、活性層とレジストマスクとの密着性を高められる他、活性層が有機物で汚染さ

れることを防げる。

【0133】レジストマスク801、802は駆動TFTの活性層の上に設けられ、後にソース領域またはドレイン領域となる領域の一部（または全部）を露呈させるようにして配置される。また、レジストマスク803は画素TFTのソース領域またはドレイン領域の一部（または全部）、及び後に実施例1のn'領域（分離領域）517に相当する領域を露呈させるようにして配置される。この時、808が後に分離領域517に相当する領域となり、809が後に第1容量電極となる。

【0134】また、添加するリンの濃度は $5 \times 10^{13}$ ～ $1 \times 10^{14}$ atoms/cm<sup>2</sup>（好みくは $1 \times 10^{13}$ ～ $5 \times 10^{13}$ atoms/cm<sup>2</sup>）が好みしい。但し、添加すべきリンの濃度は、後のゲッタリング工程の温度、時間、さらにはリンドープ領域の面積によって変化するため、この濃度範囲に限定されるものではない。

【0135】次に、レジストマスク801～803を除去して、500～650℃の熱処理を2～16時間加え、珪素膜の結晶化に用いた触媒元素（本実施例ではニッケル）のゲッタリングを行う。ゲッタリング作用を奏するためには熱履歴の最高温度から±50℃程度の温度が必要であるが、結晶化のための熱処理が550～600℃で行われるため、500～650℃の熱処理で十分にゲッタリング作用を奏することができる。

【0136】本実施例では600℃、12時間の熱処理を加えることによってニッケルが矢印の方向に移動し、リンドープ領域にゲッタリングされる。こうしてゲッタリング領域810～815が形成される。このゲッタリング領域は、810～813はTFTのソース領域またはドレイン領域の一部または全部として残り、814は実施例1のn'領域517に相当する領域として残り、815は第1容量電極として残る。（図8(B)）

【0137】こうして図8(B)のゲッタリング工程まで行ったらゲート絶縁膜（図示せず）を形成してバーニングを行い、画素TFTのゲート絶縁膜220を形成する。この工程から先は実施例1の工程に従えば良いので説明は省略する。

【0138】以上のようにして、図9に示すようなAM-LCDが完成する。図9に示すAM-LCDの断面構造は、図1に示したAM-LCDの断面構造と同じである。本実施例で異なる点は、駆動回路のソース領域102、106、およびドレイン領域103、107の一部に、ニッケルを含む領域901～903が存在する点である。

【0139】このニッケルを含む領域901～903には、 $1 \times 10^{13}$ atoms/cm<sup>2</sup>以上（代表的には $3 \times 10^{13}$ ～ $1 \times 10^{14}$ atoms/cm<sup>2</sup>）の濃度でニッケルが存在する。しかしながら、ニッケルはニッケルシリサイドなどの安定した状態で存在するため、TFT特性の不安定材料とはならない。

【0140】また、本実施例（図9）ではドレイン配線127と、N TFTのドレイン領域103およびP TFTのドレイン領域107とが接するコンタクト部がニッケルを含む領域902となっている。このような構成であると、金属となるニッケルの存在により良いオーミックコンタクトを得ることができる。

【0141】また、図9ではソース領域102とソース配線125（またはソース領域106とソース配線126）とがニッケルを含む領域を介さないで接しているが、ドレイン配線と同様に、ニッケルを含む領域を介して接するようにすることも可能であることは言うまでもない。

【0142】以上のこととは画素部のソース領域109、ドレイン領域110に対しても同様である。これらの領域の一部にもニッケルを含む領域904、906が存在する。また、n'領域（分離領域）905にもソース領域またはドレイン領域と同じ濃度でリンが含まれているが、n'領域905は多数キャリアである電子にとっては移動経路に過ぎず、ニッケルの存在は問題とならない。

【0143】また、本実施例の特徴のもう一つは、第1容量電極114には $5 \times 10^{11} \sim 1 \times 10^{12}$  atoms/cm<sup>2</sup>（好ましくは $1 \times 10^{11} \sim 5 \times 10^{11}$  atoms/cm<sup>2</sup>）の濃度でリンが存在し、且つ、 $1 \times 10^{11}$  atoms/cm<sup>2</sup>以上（代表的には $3 \times 10^{11} \sim 1 \times 10^{12}$  atoms/cm<sup>2</sup>）の濃度でニッケルが存在する。即ち、第2容量電極122に電圧を印加しなくとも、そのまま電極として用いることが可能となっているため、AM-LCDの消費電力の低減に有効である。

【0144】以上のように本実施例の作製工程の特徴として、ゲッタリング工程のために行われるリンの添加工程が、保持容量の下部電極に導電性を持たせるために行われるリンの添加工程を兼ねている点が挙げられる。こうすることで作製工程を増やすことなく、消費電力を低減することが可能である。

【0145】なお、本実施例の構成は、実施例1～3のいずれの実施例とも自由に組み合わせることが可能である。

【0146】〔実施例5〕実施例4の図8(A)の作製工程において、レジストマスク801～803を形成する前に、活性層を覆って予め画素TFT用のゲート絶縁膜（図8(C)のゲート絶縁膜220のパターニング前の状態に相当する。）を形成しておくこともできる。

【0147】即ち、図8(A)のリンの添加工程は50～200nmの膜厚で設けられたゲート絶縁膜を貫通させたスルードーピングで行われることになる。そして、レジストマスク801～803を除去した後、ゲート絶縁膜で活性層が覆われたままゲッタリング工程が行われる。ゲッタリング工程が終了したら、ゲート絶縁膜のパターニングを行い、図8(C)と同様の構造となる。

【0148】本実施例の利点は、ゲッタリング工程の際に、活性層が露呈していない点である。活性層が露呈している場合、処理温度、処理雰囲気等の条件によってはリンドープ領域804～809に存在するリンが雰囲気中を拡散し、後にチャネル形成領域となる領域にまで添加されてしまう恐れがある。しかしながら、本実施例のようにゲート絶縁膜で覆っていればそういう問題は起らない。

【0149】なお、本実施例の構成は、実施例1～3のいずれの実施例とも自由に組み合わせることが可能である。また、最終的に完成したAM-LCDの特徴に関しては実施例4で説明した図9と同様であるので説明は省略する。

【0150】〔実施例6〕本実施例では、実施例1に示した作製工程で基板上にTFTを形成し、実際にAM-LCDを作製した場合について説明する。

【0151】図4(C)の状態が得られたら、画素電極254上に配向膜を80nmの厚さに形成する。次に、対向基板としてガラス基板上にカラーフィルタ、透明電極（対向電極）、配向膜を形成したものを準備し、それぞれの配向膜に対してラビング処理を行い、シール材（封止材）を用いてTFTが形成された基板と対向基板とを貼り合わせる。そして、その間に液晶を保持させる。このセル組み工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0152】なお、セルギャップを維持するためのスペーサは必要に応じて設ければ良い。従って、対角1インチ以下のAM-LCDのようにスペーサがなくてもセルギャップを維持できる場合は特に設けなくても良い。

【0153】次に、以上のようにして作製したAM-LCDの外観を図10に示す。アクティブマトリクス基板（図4(C)のTFTが形成された基板を指す）11には画素部12、駆動回路（ソース駆動回路13、ゲート駆動回路14）、画素部及び駆動回路以外の論理回路（信号分割回路、D/Aコンバータ回路、γ補正回路または差動增幅回路）15が形成され、FPC（フレキシブルプリントサーキット）16が取り付けられている。なお、17は対向基板である。

【0154】これらの画素部や駆動回路を形成するTFTは実施例1の作製工程に従って形成される。また、TFT構造は実施例1を参考にして最適なものを配置すれば良い。なお、本実施例は実施例1～5のいずれの実施例とも自由に組み合わせることが可能である。

【0155】〔実施例7〕本実施例では、図1に示したアクティブマトリクス基板において、画素部における一画素の上面図を図11に示す。なお、図11を1点鎖線A-A'で切った断面図が図1に示した断面図に相当する。従って、図1と同一の符号を付してある部分は図1の説明をそのまま参照することができる。

【0156】なお、21はゲート配線であり、121は

ゲート配線が活性層と重なる部分である。図1では121で示される部分をゲート電極と呼んでいる。また、22で示される点線で囲んだ領域は、第1容量電極114と容量配線122とが誘電体(図示せず)を挟んで重なり、保持容量を形成している領域を示している。

【0157】また、23はソース領域109とソース配線128とのコンタクト部、24はドレイン領域110とドレイン配線129とのコンタクト部、25はドレイン配線129と画素電極134とのコンタクト部を示している。また、26は画像表示領域を示している。

【0158】従来のダブルゲート構造(二つのTFTが直列に接続された構造)の画素TFTを用いるのに比べ、本発明の画素TFTを用いると、一画素に対する画素TFTの占有面積を低減することが可能となり、開口率(一画素の面積に対して画像表示領域の占有する面積の割合)を増加させることができる。

【0159】なお、図1に示した本実施例の構造は、実施例1に示した作製工程に従って作製することが可能である。また、実施例3~5のいずれの構成を実施例1と組み合わせても良い。

【0160】〔実施例8〕本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、半導体回路上に反射型AM-LCDが形成された三次元構造の半導体装置を実現することも可能である。

【0161】また、前記半導体回路はSIMOX、Smart-Cut(SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI基板上に形成されたものであっても良い。

【0162】なお、本実施例を実施するにあたって、実施例1~7のいずれの構成を組み合わせても構わない。

【0163】〔実施例9〕本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN液晶、PDLC(ポリマー分散型液晶)、FLC(強誘電性液晶)、AFLC(反強誘電性電液晶)、またはFLCとAFLCの混合物(反強誘電性混合液晶)が挙げられる。

【0164】例えば、「H.Furue et al.;Charakteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998」、「T.Yoshida et al.;A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997」、「S.Inui et al.;Thresholdless antiferroelectricity in liquid crystals and its application to displays, 671-673, J.Mater.Chem. 6(4), 1996」、または米国特許第5,594,569号に開示された材料を用いることができる。

【0165】特に、電場に対して透過率が連続的に変化する電気光学応答特性を示す無しきい値反強誘電性混合液晶(Thresholdless Antiferroelectric LCD: TLAFLCと略記する)にはV字型(またはU字型)の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm~2μm)のものも見出されている。そのため、画素回路用の電源電圧が5~8V程度で済む場合があり、制御回路と画素回路と同じ電源電圧で動作させる可能性が示唆されている。即ち、液晶表示装置全体の低消費電力化を図ることができる。

【0166】また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。本発明で用いるようなTFTは非常に動作速度の速いTFTを実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することができる。

【0167】また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

【0168】なお、本実施例の構成は実施例2、6に示したAM-LCDに用いることが可能である。また、本実施例の液晶表示装置をパソコン等の電子機器の表示部として用いることは有効である。

【0169】〔実施例10〕本発明はアクティブマトリクス型EL(エレクトロルミネッセンス)ディスプレイ(EL表示装置ともいう)に適用することも可能である。その例を図12に示す。

【0170】図12は本実施例のアクティブマトリクス型ELディスプレイの回路図である。81は表示領域を表しており、その周辺にはX方向(ソース側)駆動回路82、Y方向(ゲート側)駆動回路83が設けられている。また、表示領域81の各画素は、スイッチング用TFT84、コンデンサ85、電流制御用TFT86、EL素子87を有し、スイッチング用TFT84にX方向信号線(ソース信号線)88a(または88b)、Y方向信号線(ゲート信号線)89a(または89b、89c)が接続される。また、電流制御用TFT86には、電源線90a、90bが接続される。

【0171】本実施例のアクティブマトリクス型ELディスプレイでは、X方向駆動回路82またはY方向駆動回路として図1に示したCMOS回路を用いることができ、電流制御用TFT86として前記CMOS回路のnチャネル型TFTと同一構造のTFTを用いることができる。また、スイッチング用TFT84として図1に示した画素TFTを用いることができる。

【0172】なお、本実施例のアクティブマトリクス型ELディスプレイは図4(C)に示したアクティブマトリクス基板を作製した後、公知の手段によりEL層を形

成すれば良い。従って、実施例1の作製工程を用いることは可能であり、実施例3～5、7または8のいずれの構成を組み合わせても良い。

【0173】〔実施例11〕本実施例では、本発明を用いてEL（エレクトロルミネセンス）表示装置を作製した例について説明する。なお、図13（A）は本発明のEL表示装置の上面図であり、図13（B）はその断面図である。

【0174】図13（A）において、4002は基板4001（図13（B）参照）の上に形成された画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC（フレキシブルプリントサーキット）4006に至り、外部機器へと接続される。

【0175】このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0176】また、図13（B）は図13（A）をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。）4201及び画素部4002に含まれる電流制御用TFT（EL素子への電流を制御するTFT）4202が形成されている。

【0177】本実施例では、駆動TFT4201には図1のCMOS回路と同じ構造のCMOS回路が用いられ、電流制御用TFT4202には図1の画素TFTと同じ構造のTFTが用いられる。また、画素部4002には電流制御用TFT4202のゲートに接続された保持容量（図示せず）が図1の保持容量と同一の構造で設けられる。

【0178】駆動TFT4201及び画素TFT4202の上には樹脂材料でなる層間絶縁膜（平坦化膜）4301が形成され、その上に画素TFT4202のドレンと電気的に接続する画素電極（陽極）4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0179】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL（エレクトロルミネッセンス）層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系（モノマー

系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0180】EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0181】EL層4304の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0182】そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電気的に接続される。

【0183】以上のようにして、画素電極（陽極）4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第2シール材4104によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0184】カバー材4102としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0185】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0186】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4103の内部に吸湿性物

質（好ましくは酸化バリウム）を設けておくとEL素子の劣化を抑制できる。

【0187】また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることができある。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0188】また、配線4005は異方導電性フィルム4307を介してFPC4006に電気的に接続される。配線4005は画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004に送られる信号をFPC4006に伝え、FPC4006により外部機器と電気的に接続される。

【0189】また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図13(B)の断面構造を有するEL表示装置となる。なお、本実施例のEL表示装置は実施例1、3~5、7または8のいずれの構成を組み合わせて作製しても構わない。

【0190】ここで画素部のさらに詳細な断面構造を図14に、上面構造を図15(A)に、回路図を図15(B)に示す。図14、図15(A)及び図15(B)では共通の符号を用いるので互いに参照すれば良い。

【0191】図14において、基板4401上に設けられたスイッチング用TFT4402は図1の画素部に設けられた画素TFTを用いて形成される。従って、構造の説明は図1の画素TFTの説明を参照すれば良い。また、4403で示される配線は、スイッチング用TFT4402のゲート電極4404a、4404bを電気的に接続するゲート配線である。

【0192】また、スイッチング用TFT4402のドレイン配線4405は電流制御用TFT4406のゲート電極4407に電気的に接続されている。なお、電流制御用TFT4406は図1のCMOS回路を形成するpチャネル型TFTを用いて形成される。従って、構造の説明は図1のpチャネル型TFTの説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0193】スイッチング用TFT4402及び電流制御用TFT4406の上には第1バッシベーション膜4408が設けられ、その上に樹脂からなる平坦化膜4409が形成される。平坦化膜4409を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるよう画素電極を形成する前に平坦化しておくことが望ましい。

【0194】また、4410は透明導電膜からなる画素電極(EL素子の陽極)であり、電流制御用TFT4406のドレイン配線4411に電気的に接続される。画素電極4410は、透明導電膜として酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いて形成すれば良い。また、前記透明導電膜にガリウムを添加したものを用いて形成しても良い。

【0195】画素電極4410の上にはEL層4412が形成される。なお、図14では一画素しか図示していないが、本実施例ではR(赤)、G(緑)、B(青)の各色に対応したEL層を作り分けている。また、本実施例では蒸着法により低分子系有機EL材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン(CuPc)膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体(A1q<sub>1</sub>)膜を設けた積層構造としている。A1q<sub>1</sub>に蛍光色素を添加することで発光色を制御することができる。

【0196】但し、以上の例はEL層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層(発光及びそのためのキャリアの移動を行わせるための層)を形成すれば良い。例えば、本実施例では低分子系有機EL材料をEL層として用いる例を示したが、高分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0197】次に、EL層4412の上には遮光性の導電膜からなる陰極4413が設けられる。本実施例の場合、遮光性の導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜(マグネシウムと銀との合金膜)を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0198】この陰極4413まで形成された時点でEL素子4414が完成する。なお、ここでいうEL素子4414は、画素電極(陽極)4410、EL層4412及び陰極4413で形成されたコンデンサを指す。

【0199】次に、本実施例における画素の上面構造を図15(A)を用いて説明する。スイッチング用TFT4402のソースはソース配線4415に接続され、ドレインはドレン配線4405に接続される。また、ドレン配線4405は電流制御用TFT4406のゲート電極4407に電気的に接続される。また、電流制御用TFT4406のソースは電流供給線4416に電気的に接続され、ドレンはドレン配線4417に電気

的に接続される。また、ドレイン配線 4 4 1 7 は点線で示される画素電極（陽極）4 4 1 8 に電気的に接続される。

【0200】このとき、4 4 1 9 で示される領域には保持容量が形成される。保持容量 4 4 1 9 は、電流供給線 4 4 1 6 と電気的に接続された半導体膜 4 4 2 0 、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極 4 4 0 7 との間で形成される。また、ゲート電極 4 4 0 7 、第 1 層間絶縁膜と同一の層（図示せず）及び電流供給線 4 4 1 6 で形成される容量も保持容量として用いることが可能である。

【0201】なお、本実施例の構成は、実施例 1 、 3 ～ 5 、 7 または 8 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0202】〔実施例 1 2 〕本実施例では、実施例 1 1 とは異なる画素構造を有した EL 表示装置について説明する。説明には図 1 6 を用いる。なお、図 1 4 と同一の符号が付してある部分については実施例 1 1 の説明を参照すれば良い。

【0203】図 1 6 では電流制御用 TFT 4 5 0 1 として図 1 の CMOS 回路を形成する n チャネル型 TFT と同一構造の TFT を用いる。勿論、電流制御用 TFT 4 5 0 1 のゲート電極 4 5 0 2 はスイッチング用 TFT 4 4 0 2 のドレイン配線 4 4 0 5 に接続されている。また、電流制御用 TFT 4 5 0 1 のドレイン配線 4 5 0 3 は画素電極 4 5 0 4 に電気的に接続されている。

【0204】EL 素子にかかる電圧が 1 0 V 以上になるとホットキャリア効果による劣化が顕著になるため、電流制御用 TFT 4 5 0 1 として図 1 の n チャネル型 TFT 3 0 2 と同一構造の TFT を用いることは有効である。また、EL 素子にかかる電圧が 1 0 V 以下であればホットキャリア効果による劣化はさほど問題とならないので n チャネル型 TFT 3 0 2 から LDD 領域 1 1 4 を省略した構造の TFT を用いても良い。

【0205】本実施例では、画素電極 4 5 0 4 が EL 素子の陰極として機能し、遮光性の導電膜を用いて形成する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0206】画素電極 4 5 0 4 の上には EL 層 4 5 0 5 が形成される。なお、図 1 6 では一画素しか図示していないが、本実施例では G (緑) に対応した EL 層を蒸着法及び塗布法（好ましくはスピンドルコート法）により形成している。具体的には、電子注入層として 2 0 nm 厚のフッ化リチウム (LiF) 膜を設け、その上に発光層として 7 0 nm 厚の P P V (ポリパラフェニレンビニレン) 膜を設けた積層構造としている。

【0207】次に、EL 層 4 5 0 5 の上には透明導電膜からなる陽極 4 5 0 6 が設けられる。本実施例の場合、

透明導電膜として酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムからなる導電膜を用いる。また、前記透明導電膜にガリウムを添加したもの用いても良い。

【0208】この陽極 4 5 0 6 まで形成された時点で EL 素子 4 5 0 7 が完成する。なお、ここでいう EL 素子 4 5 0 7 は、画素電極（陰極）4 5 0 4 、 EL 層 4 5 0 5 及び陽極 4 5 0 6 で形成されたコンデンサを指す。

10 【0209】なお、本実施例の電流制御用 TFT 4 5 0 1 はゲート電極 4 5 0 2 と LDD 領域 4 5 0 9a 、 4 5 0 9b との間にゲート容量と呼ばれる寄生容量を形成する。このゲート容量を調節することで図 1 5 (A) 、

(B) に示した保持容量 4 4 1 8 と同等の機能を持たせることも可能である。特に、EL 表示装置をデジタル駆動方式で動作させる場合においては、保持容量のキャパシタンスがアナログ駆動方式で動作させる場合よりも小さく済むため、ゲート容量で保持容量を代用しうる。

20 【0210】なお、本実施例の構成は、実施例 1 、 3 ～ 5 、 7 または 8 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0211】〔実施例 1 3 〕本実施例では、実施例 1 1 もしくは実施例 1 2 に示した EL 表示装置の画素構造の例を図 1 7 (A) ～ (C) に示す。なお、本実施例において、4 6 0 1 はスイッチング用 TFT 4 6 0 2 のソース配線、4 6 0 3 はスイッチング用 TFT 4 6 0 2 のゲート配線、4 6 0 4 は電流制御用 TFT 、4 6 0 5 はコンデンサ、4 6 0 6 、4 6 0 8 は電流供給線、4 6 0 7 は EL 素子とする。

30 【0212】図 1 7 (A) は、二つの画素間で電流供給線 4 6 0 6 を共通とした場合の例である。即ち、二つの画素が電流供給線 4 6 0 6 を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

40 【0213】また、図 1 7 (B) は、電流供給線 4 6 0 8 をゲート配線 4 6 0 3 と平行に設けた場合の例である。なお、図 1 7 (B) では電流供給線 4 6 0 8 とゲート配線 4 6 0 3 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線 4 6 0 8 とゲート配線 4 6 0 3 とで専有面積を共有させることができるために、画素部をさらに高精細化することができる。

【0214】また、図 1 7 (C) は、図 1 7 (B) の構造と同様に電流供給線 4 6 0 8 をゲート配線 4 6 0 3 と平行に設け、さらに、二つの画素を電流供給線 4 6 0 8 を中心に線対称となるように形成する点に特徴がある。また、電流供給線 4 6 0 8 をゲート配線 4 6 0 3a または 50 4 6 0 3b のいずれか一方と重なるように設けること

も有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0215】〔実施例14〕本実施例では、実施例11もしくは実施例12に示したEL表示装置の画素構造の例を図18(A)、(B)に示す。なお、本実施例において、4701はスイッチング用TFT4702のソース配線、4703はスイッチング用TFT4702のゲート配線、4704は電流制御用TFT、4705はコンデンサ(省略することも可能)、4706は電流供給線、4707は電源制御用TFT、4708は電源制御用ゲート配線、4709はEL素子とする。電源制御用TFT4707の動作については特願平11-341272号を参照すると良い。

【0216】また、本実施例では電源制御用TFT4707を電流制御用TFT4704とEL素子4708との間に設けているが、電源制御用TFT4707とEL素子4708との間に電流制御用TFT4704が設けられた構造としても良い。また、電源制御用TFT4707は電流制御用TFT4704と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

【0217】また、図18(A)は、二つの画素間で電流供給線4706を共通とした場合の例である。即ち、二つの画素が電流供給線4706を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0218】また、図18(B)は、ゲート配線4703と平行に電流供給線4710を設け、ソース配線4701と平行に電源制御用ゲート配線4711を設けた場合の例である。なお、図18(B)では電流供給線4710とゲート配線4703とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線4710とゲート配線4703とで専有面積を共有させることができるために、画素部をさらに高精細化することができる。

【0219】〔実施例15〕本実施例では、実施例11もしくは実施例12に示したEL表示装置の画素構造の例を図19(A)、(B)に示す。なお、本実施例において、4801はスイッチング用TFT4802のソース配線、4803はスイッチング用TFT4802のゲート配線、4804は電流制御用TFT、4805はコンデンサ(省略することも可能)、4806は電流供給線、4807は消去用TFT、4808は消去用ゲート配線、4809はEL素子とする。消去用TFT4807の動作については特願平11-338786号を参照すると良い。

【0220】消去用TFT4807のドレインは電流制御用TFT4804のゲートに接続され、電流制御用T

FET4804のゲート電圧を強制的に変化させることができるようになっている。なお、消去用TFT4807はnチャネル型TFTとしてもpチャネル型TFTとしても良いが、オフ電流を小さくできるようにスイッチング用TFT4802と同一構造とすることが好ましい。

【0221】また、図19(A)は、二つの画素間で電流供給線4806を共通とした場合の例である。即ち、二つの画素が電流供給線4806を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0222】また、図19(B)は、ゲート配線4803と平行に電流供給線4810を設け、ソース配線4801と平行に消去用ゲート配線4811を設けた場合の例である。なお、図19(B)では電流供給線4810とゲート配線4803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることができる。この場合、電流供給線4810とゲート配線4803とで専有面積を共有させることができるために、画素部をさらに高精細化することができる。

【0223】〔実施例16〕本発明のEL表示装置は画素内にいくつのTFTを設けた構造としても良い。実施例14、15ではTFTを三つ設けた例を示しているが、四つ乃至六つのTFTを設けても構わない。本発明はEL表示装置の画素構造に限定されずに実施することができる。

【0224】〔実施例17〕本発明の電気光学装置や半導体回路は電気器具の表示部や信号処理回路として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図20~22に示す。

【0225】図20(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示部2004、操作スイッチ2005、アンテナ2006で構成される。本発明の電気光学装置は表示部2004に、本発明の半導体回路は音声出力部2002、音声入力部2003またはCPUやメモリ等に用いることができる。

【0226】図20(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明の電気光学装置は表示部2102に、本発明の半導体回路は音声入力部2103または

CPUやメモリ等に用いることができる。

【0227】図20 (C) はモバイルコンピュータ (モービルコンピュータ) であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本発明の電気光学装置は表示部2205に、本発明の半導体回路はCPUやメモリ等に用いることができる。

【0228】図20 (D) はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本発明の電気光学装置は表示部2302に、本発明の半導体回路はCPUやメモリ等に用いることができる。

【0229】図20 (E) はリアプロジェクター (プロジェクションTV) であり、本体2401、光源2402、液晶表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は液晶表示装置2403に用いることができ、本発明の半導体回路はCPUやメモリ等に用いることができる。

【0230】図20 (F) はフロントプロジェクターであり、本体2501、光源2502、液晶表示装置2503、光学系2504、スクリーン2505で構成される。本発明は液晶表示装置2502に用いることができ、本発明の半導体回路はCPUやメモリ等に用いることができる。

【0231】図21 (A) はパーソナルコンピュータであり、本体2601、映像入力部2602、表示部2603、キーボード2604等を含む。本発明の電気光学装置は表示部2603に、本発明の半導体回路はCPUやメモリ等に用いることができる。

【0232】図21 (B) は電子遊戯機器 (ゲーム機器) であり、本体2701、記録媒体2702、表示部2703及びコントローラー2704を含む。この電子遊戯機器から出力された音声や映像は筐体2705及び表示部2706を含む表示ディスプレイにて再生される。コントローラー2704と本体2701との間の通信手段または電子遊戯機器と表示ディスプレイとの間の通信手段は、有線通信、無線通信もしくは光通信が使える。本実施例では赤外線をセンサ部2707、2708で検知する構成となっている。本発明の電気光学装置は表示部2703、2706に、本発明の半導体回路はCPUやメモリ等に用いることができる。

【0233】図21 (C) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤー (画像再生装置) であり、本体2801、表示部2802、スピーカ部2803、記録媒体2804及び操作スイッチ2805を含む。なお、この画像再生装置は記録媒体としてDVD (Digital Versatile Disc) 、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明の電気光

学装置は表示部2802やCPUやメモリ等に用いることができる。

【0234】図21 (D) はデジタルカメラであり、本体2901、表示部2902、接眼部2903、操作スイッチ2904、受像部 (図示せず) を含む。本発明の電気光学装置は表示部2902やCPUやメモリ等に用いることができる。

【0235】なお、図20 (E) のリアプロジェクター や図20 (F) のフロントプロジェクターに用いることのできる光学エンジンについての詳細な説明を図22に示す。なお、図22 (A) は光学エンジンであり、図22 (B) は光学エンジンに内蔵される光源光学系である。

【0236】図22 (A) に示す光学エンジンは、光源光学系3001、ミラー3002、3005~3007、ダイクロイックミラー3003、3004、光学レンズ3008a~3008c、プリズム3011、液晶表示装置3010、投射光学系3012を含む。投射光学系3012は、投射レンズを備えた光学系である。本実施例は液晶表示装置3010を三つ使用する三板式の例を示したが、単板式であってもよい。また、図22

(A) 中において矢印で示した光路には、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルムもしくはIRフィルム等を設けてもよい。

【0237】また、図22 (B) に示すように、光源光学系3001は、光源3013、3014、合成プリズム3015、コリメータレンズ3016、3020、レンズアレイ3017、3018、偏光変換素子3019を含む。なお、図22 (B) に示した光源光学系は光源を2つ用いたが、一つでも良いし、三つ以上としてもよい。また、光源光学系の光路のどこかに、光学レンズ、偏光機能を有するフィルム、位相差を調節するフィルムもしくはIRフィルム等を設けてもよい。

【0238】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例1~16の構成を必要に応じて組み合わせることで実現できる。

【0239】

【発明の効果】本発明を用いることで同一基板上に、異なる膜厚のゲート絶縁膜を有するTFTを形成することができる。そのため、AM-LCDやEL表示装置に代表される電気光学装置において、各部位が要求する仕様に応じて適切な性能のTFTを配置することが可能となり、電気光学装置の性能や信頼性を大幅に向上させることができる。そして、そのような電気光学装置を表示部として有した電子機器の性能や信頼性を向上させることができる。

【0240】また、電気光学装置の画素部において、工程数を増やすことなく保持容量の誘電体を薄くすることができ、小さい面積で大きなキャパシティを有する保持

容量を形成することができる。さらに、画素TFTを従来の機能を損なうことなく縮小化することができるため、対角2インチ以下といった小さいサイズの電気光学装置においても開口率を低下させることなく、十分な保持容量を確保することが可能となる。

【図面の簡単な説明】

【図1】 アクティブマトリクス基板の断面構造を示す図。

【図2】 アクティブマトリクス基板の作製工程を示す図。

【図3】 アクティブマトリクス基板の作製工程を示す図。

【図4】 アクティブマトリクス基板の作製工程を示す図。

【図5】 アクティブマトリクス基板のプロック図を示す図。

【図6】 アクティブマトリクス基板の各部位の断面構造を示す図。

【図7】 駆動TFT(CMOS回路)の構造を示す図。

【図8】 アクティブマトリクス基板の作製工程を示す図。

す図。

【図9】 アクティブマトリクス基板の断面構造を示す図。

【図10】 AM-LCDの外観を示す図。

【図11】 画素の上面構造を示す図。

【図12】 アクティブマトリクス型EL表示装置の構成を示す図。

【図13】 EL表示装置の上面構造及び断面構造を示す図。

10 【図14】 EL表示装置の断面構造を示す図。

【図15】 EL表示装置の画素部の上面構造を示す図。

【図16】 EL表示装置の断面構造を示す図。

【図17】 EL表示装置の画素部の回路構成を示す図。

【図18】 EL表示装置の画素部の回路構成を示す図。

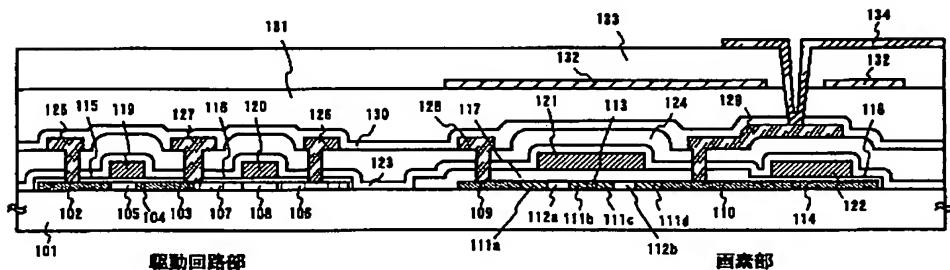
【図19】 EL表示装置の回路構成を示す図。

【図20】 電気器具の一例を示す図。

20 【図21】 電気器具の一例を示す図。

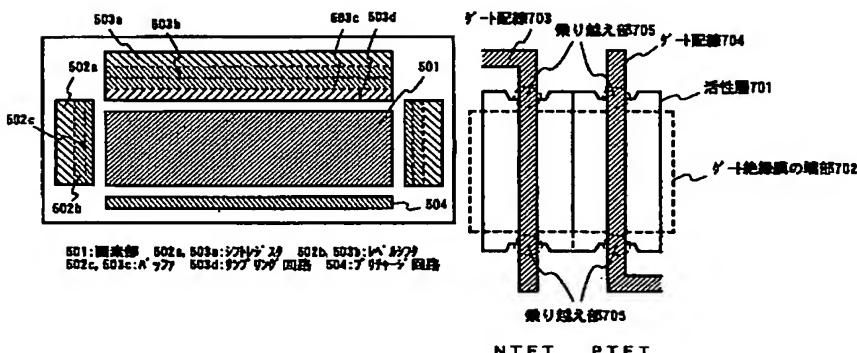
【図22】 光学エンジンの構成を示す図。

【図1】

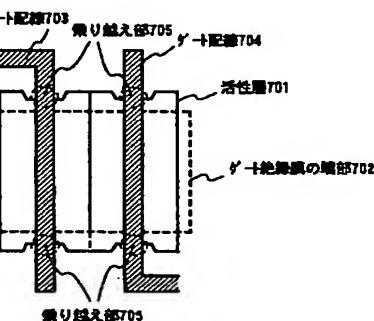


101: 基板 102, 105, 109: ノズル領域 103, 107, 110: リソフ領域 104, 111a~111d: LDD領域  
105, 106, 112a, 112b: 分離領域 113: 分離溝 114: 分離壁 115, 116, 117: 第一遮断層  
118: 第二遮断層 119: 第一電極 120, 121a, 121b: 第二電極 122: 第二遮断層 123: 第一遮断層  
124: 第二遮断層 125, 126, 128: 第一配線 127, 128: 第二配線 130: パッケージ層 131: 第二隔離遮断層  
132: 隔離層 133: 第三隔離遮断層 134: 開口部

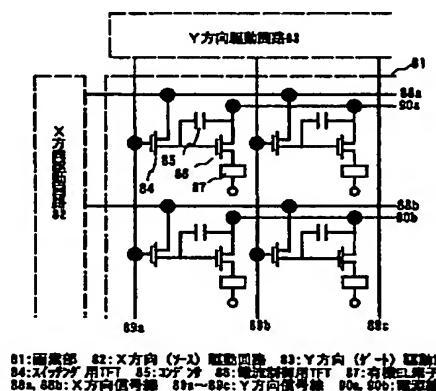
【図5】



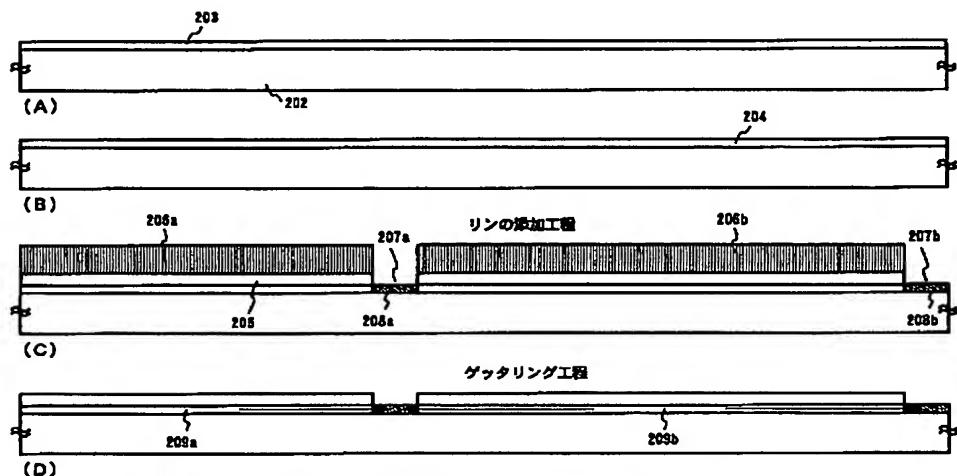
【図7】



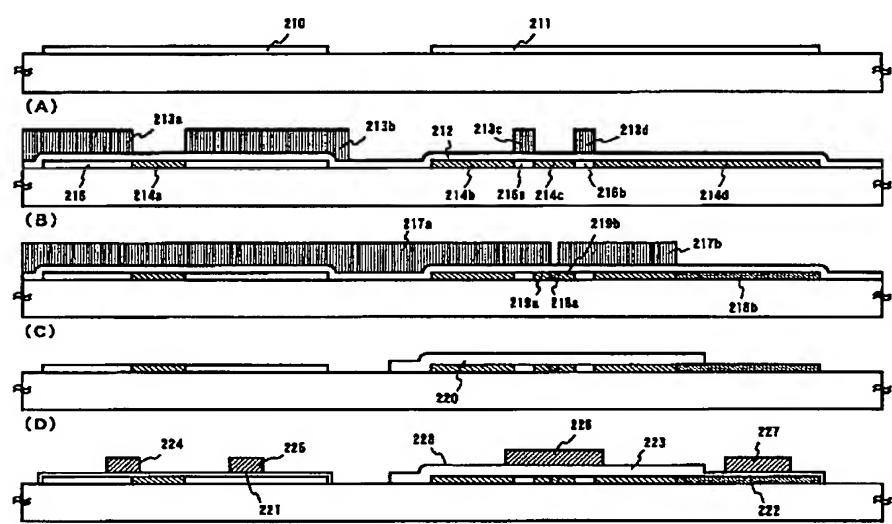
【図12】



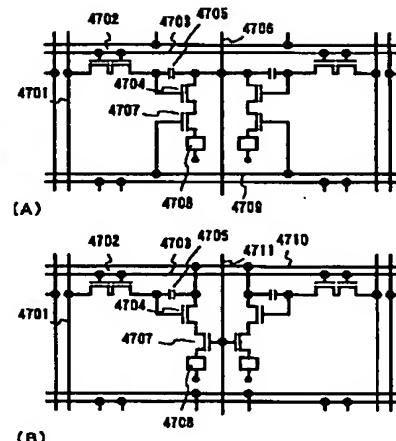
【図 2】



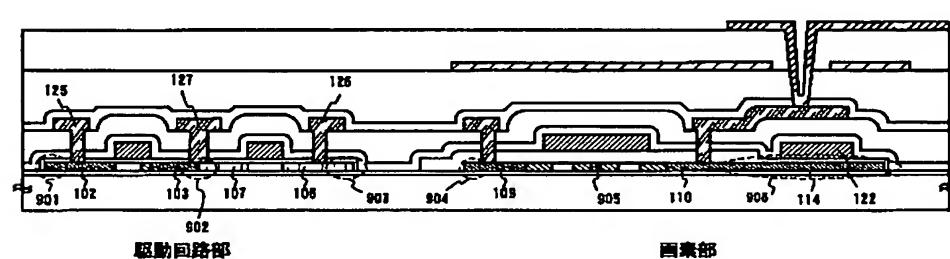
【図 3】



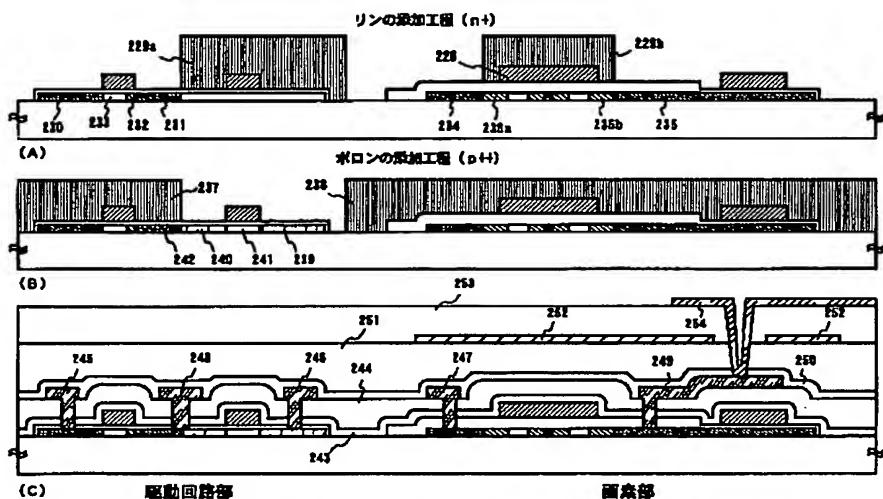
【図 18】



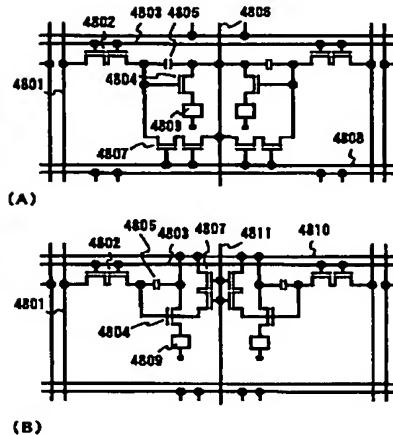
【図 9】



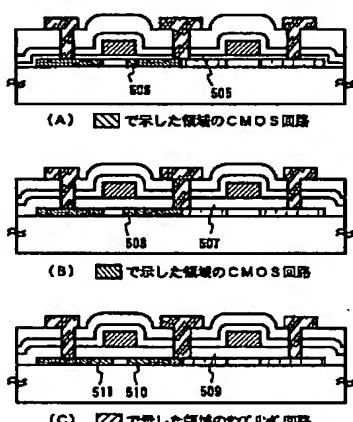
【図4】



【図19】

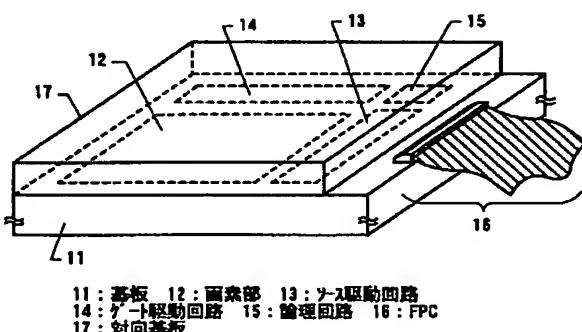


〔図6〕

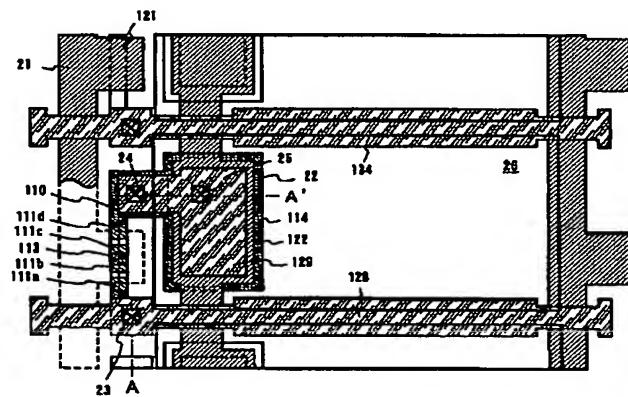


The diagram shows a cross-section of a semiconductor structure. A central trench isolation region (517) is surrounded by a thick layer of material. On either side of this central region, there are two contact holes labeled 514 and 515, which penetrate through the layers to reach the underlying substrate. Further along the structure, there are two more contact holes labeled 516 and 518. The labels 514, 515, 516, and 518 are positioned below the corresponding contact holes.

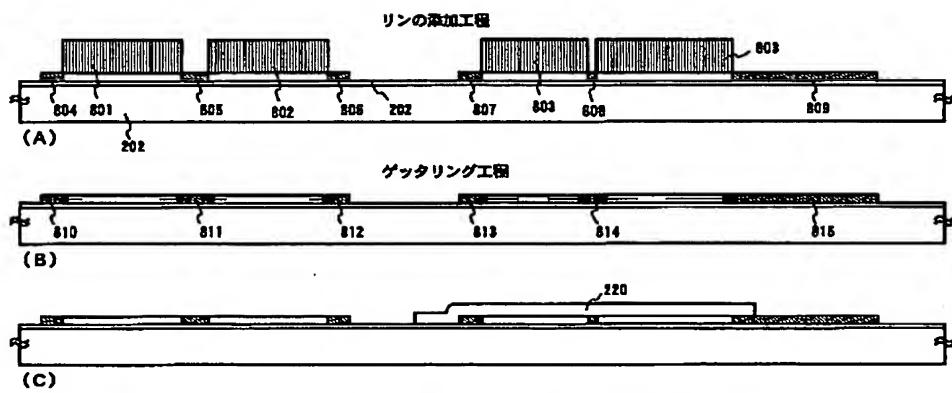
[図10]



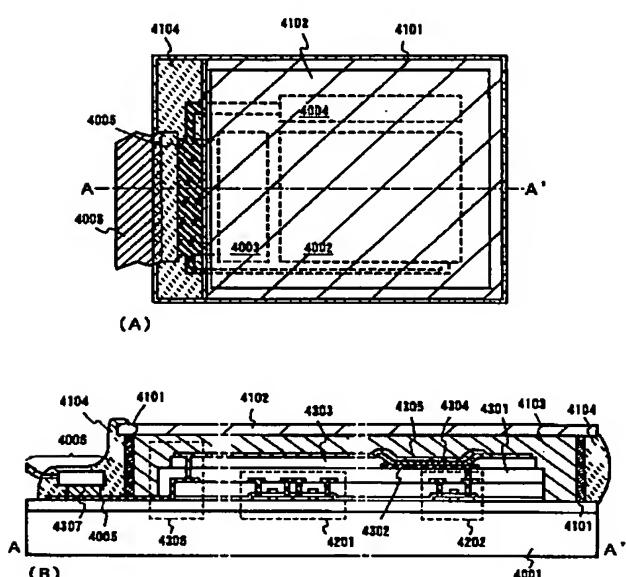
### 【图 11】



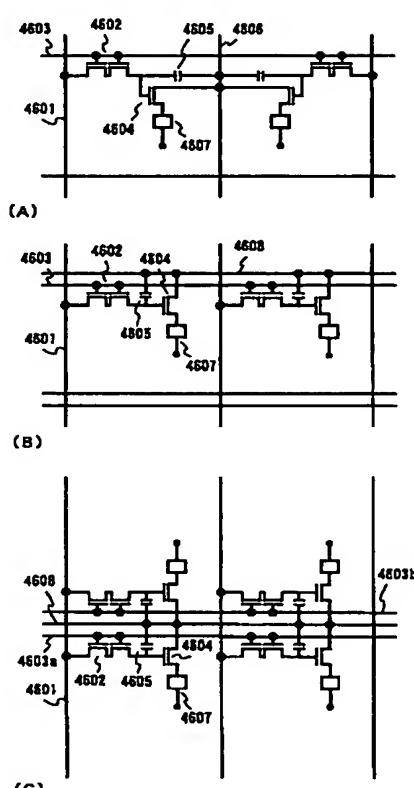
【図 8】



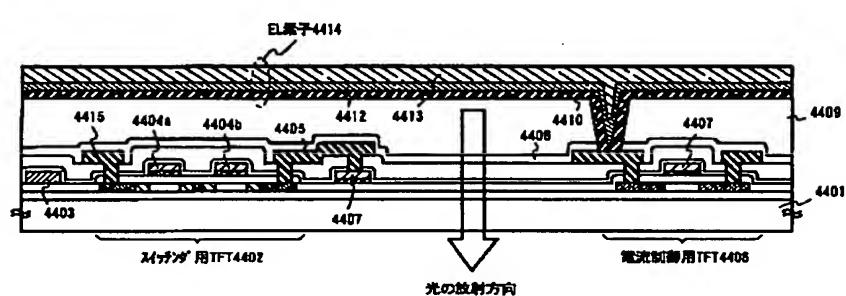
【図 13】



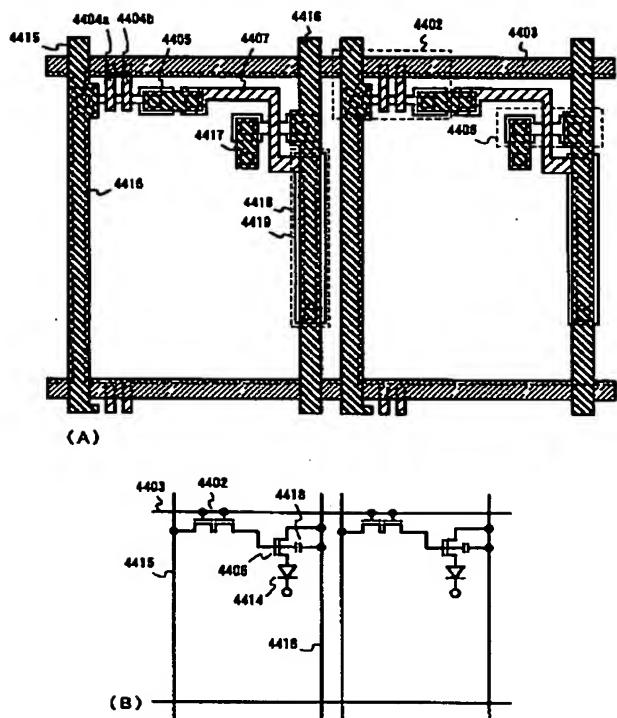
【図 17】



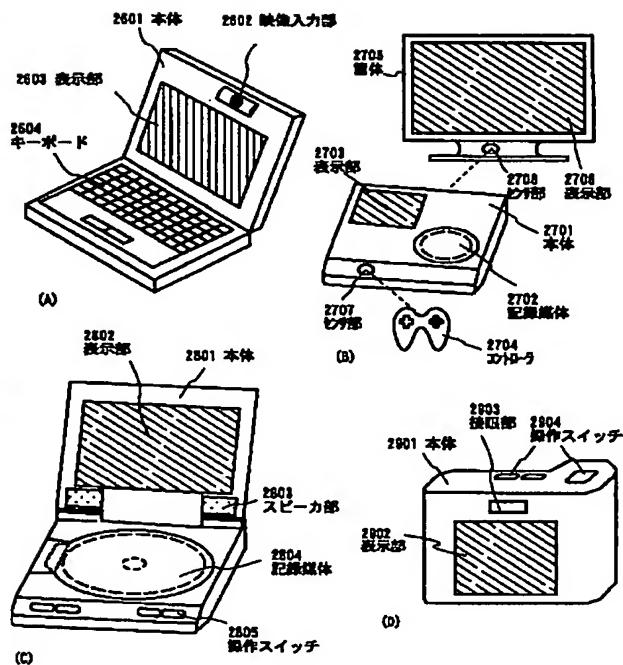
【図 14】



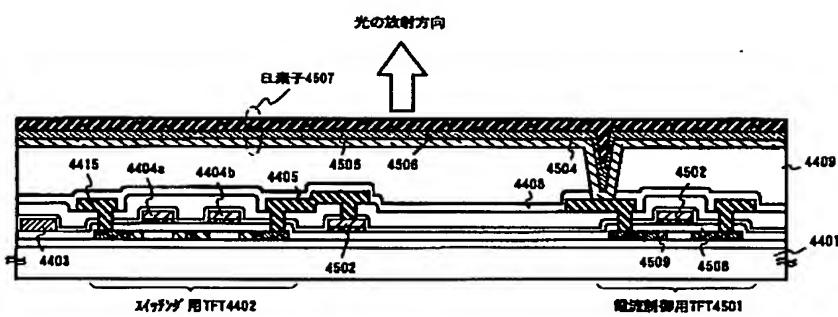
【図15】



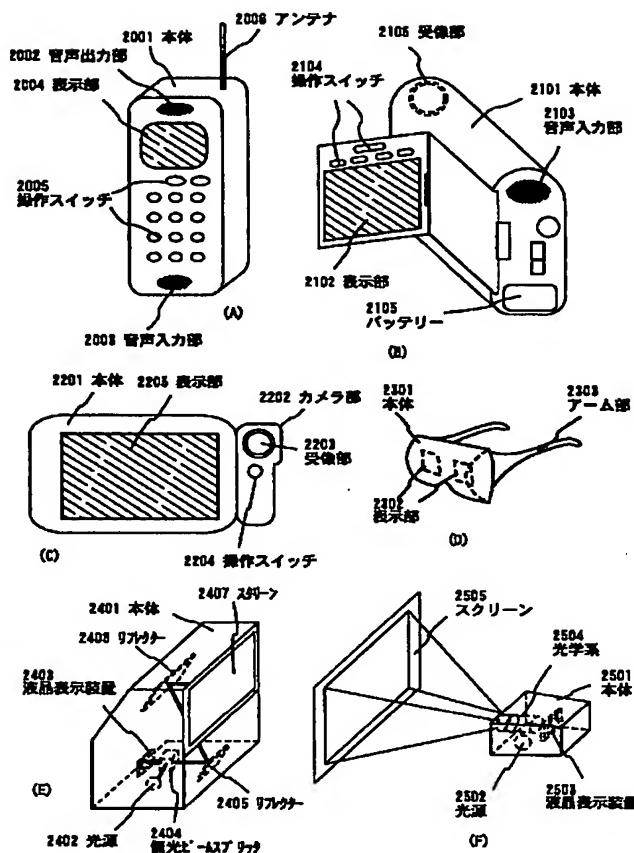
【図21】



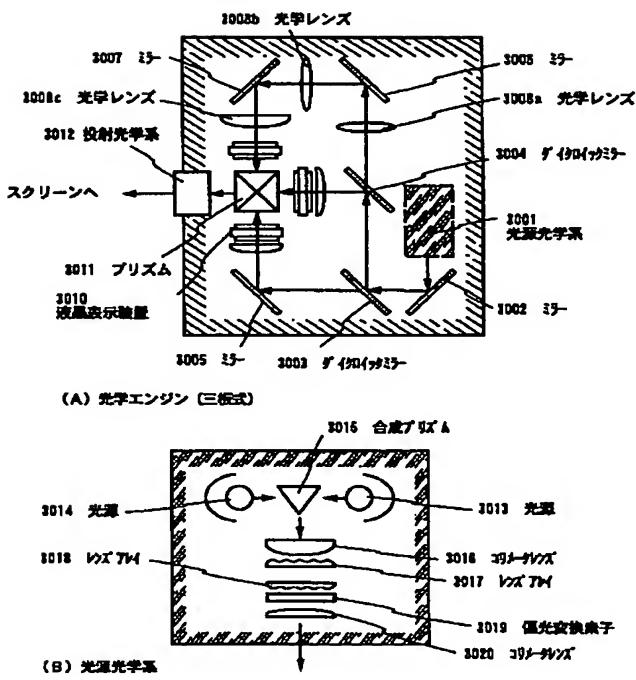
【図16】



【図 20】



【図 22】



フロントページの続き

(51) Int.Cl.<sup>7</sup>

識別記号

F I  
H 01 L 29/78

テマコード(参考)

616 A